

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-050636

(43)Date of publication of application : 15.02.2002

(51)Int.Cl.

H01L 21/336
G02F 1/1343
G02F 1/1368
G09F 9/00
G09F 9/30
G09F 9/35
H01L 21/265
H01L 21/28
H01L 21/3065
H01L 21/8234
H01L 27/08
H01L 27/088
H01L 29/786

(21)Application number : 2001-143714

(71)Applicant : SEMICONDUCTOR ENERGY LAB CO LTD

(22)Date of filing : 14.05.2001

(72)Inventor : SUZAWA HIDEOMI
ONO KOJI
TAKAYAMA TORU

(30)Priority

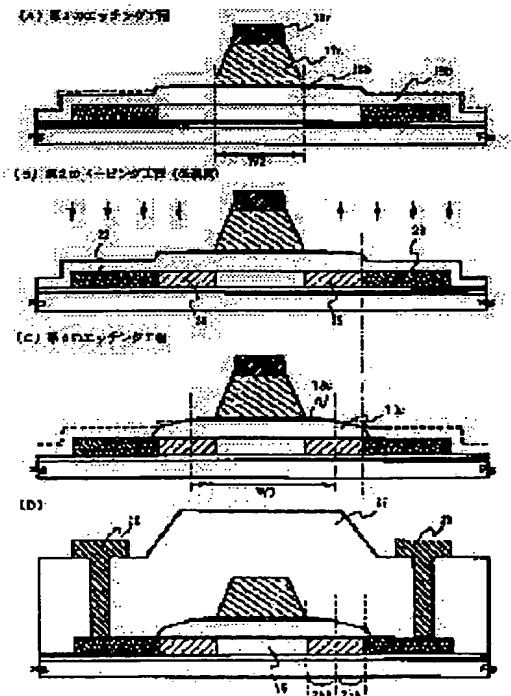
Priority number : 2000140695 Priority date : 12.05.2000 Priority country : JP

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To solve the problem that conventionally a manifesting process becomes complex, and the number of the processes is increased, when a TFT having LDD and GOLD structure is formed hitherto.

SOLUTION: A fourth etching process is carried out after lightly doped regions 24 and 25 are formed by a second doping process, thus freely adjusting the width of the lightly doped region overlapping with a third electrode 18c, and that without overlapping with the third electrode 18c; hence relieving electric field concentration for achieving prevention by a hot carrier in the region overlapping with the third electrode 18c, and at the same time, inhibiting the off-current value in the region, without overlapping with the third electrode 18c.



BEST AVAILABLE COPY

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It is a semiconductor device containing the semi-conductor layer formed on the insulating front face, the insulator layer formed on this semi-conductor layer, and the gate electrode formed on this insulator layer. Said gate electrode It has the laminated structure which uses as a lower layer the 1st conductive layer which has the 1st width of face, and makes the upper layer the 2nd conductive layer which has the 2nd width of face narrower than said 1st width of face. Said semi-conductor layer The semiconductor device characterized by having the channel formation field which laps with said 2nd conductive layer, the low concentration impurity range which laps with said 1st conductive layer in part, and the source field and drain field which consist of a high concentration impurity range.

[Claim 2] It is the semiconductor device characterized by said low concentration impurity range existing in claim 1 between said channel formation fields and said source fields or between said channel formation fields and said drain fields.

[Claim 3] It is the semiconductor device characterized by the edge of said 1st conductive layer being a taper configuration in claim 1 or claim 2.

[Claim 4] It is the semiconductor device characterized by the edge of said conductive layer of 1 existing through said insulator layer in claim 1 thru/or any 1 of 3 between said channel formation fields and said source fields or between said channel formation fields and said drain fields.

[Claim 5] The thickness of a field which laps with said low concentration impurity range among said insulator layers in claim 1 thru/or any 1 of 4 is a semiconductor device characterized by being thin as it keeps away from a channel formation field.

[Claim 6] The semiconductor device characterized by the semiconductor device indicated by claim 1 thru/or any 1 of 5 being a liquid crystal display.

[Claim 7] The semiconductor device characterized by the semiconductor device indicated by claim 1 thru/or any 1 of 5 being an EL display.

[Claim 8] The semiconductor device characterized by the semiconductor device indicated by claim 1 thru/or any 1 of 7 being a video camera, a digital camera, a projector, a goggles mold display, car navigation, a personal computer, a personal digital assistant, a digital videodisc player, or an electronic game device.

[Claim 9] The 1st process which forms a semi-conductor layer on an insulating front face, and the 2nd process which forms an insulator layer on said semi-conductor layer, The 3rd process which forms the 1st electrode which consists of a laminating of the 1st conductive layer which has the 1st width of face, and the 2nd conductive layer on said insulator layer, The 4th process which adds an impurity element in said semi-conductor layer by using said 1st electrode as a mask, and forms a high concentration impurity range, The 1st conductive layer which etches said 2nd conductive layer and has said 1st width of face, The 5th process which forms the 2nd electrode which consists of a laminating with the 2nd conductive layer which has the 2nd width of face, The 6th process which adds an impurity element in said semi-conductor layer by using said 2nd conductive layer as a mask, and forms a low concentration impurity range, The production approach of a semiconductor device of having the 7th process which forms the 3rd electrode which consists of a laminating of the 1st conductive layer which etches said 1st

conductive layer and has the 3rd width of face, and the 2nd conductive layer which has said 2nd width of face.

[Claim 10] It is the production approach of the semiconductor device characterized by said 2nd width of face being narrower than said 1st width of face in claim 9.

[Claim 11] It is the production approach of the semiconductor device characterized by said 3rd width of face being narrower than said 1st width of face in claim 9 or claim 10, and being larger than said 2nd width of face.

[Claim 12] It is the production approach of the semiconductor device characterized by being the impurity element with which said impurity element gives n mold or p mold to a semi-conductor layer in claim 9 thru/or any 1 of 11.

[Claim 13] The taper angle in [in / on claim 9 thru/or any 1 of 12 and / said 1st electrode] the edge of said 1st conductive layer is the production approach of the semiconductor device characterized by being larger than the taper angle in the edge of said 2nd conductive layer.

[Claim 14] The taper angle in [in / on claim 9 thru/or any 1 of 13 and / said 2nd electrode] the edge of said 1st conductive layer is the production approach of the semiconductor device characterized by being smaller than the taper angle in the edge of said 2nd conductive layer.

[Claim 15] The taper angle of said 1st conductive layer [in / on claim 9 thru/or any 1 of 14 and / said 3rd electrode] is the production approach of the semiconductor device characterized by being the same as the taper angle of said 1st conductive layer in said 2nd electrode.

[Claim 16] In claim 9 thru/or any 1 of 15 said 3rd process On said insulator layer, after carrying out laminating formation of the 1st electric conduction film and the 2nd electric conduction film, perform 1st etching processing on said 1st electric conduction film, form the 2nd conductive layer, perform 2nd etching processing on said 2nd electric conduction film, and the 1st conductive layer is formed. The production approach of the semiconductor device characterized by forming the 1st electrode which consists of a laminating of the 1st conductive layer which has the 1st width of face, and the 2nd conductive layer.

[Claim 17] The production approach of the semiconductor device characterized by removing said insulator layer to said the 7th process and coincidence, and exposing a part of high concentration impurity range in claim 9 thru/or any 1 of 16.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the semiconductor device which has the circuit which consisted of thin film transistors (henceforth TFT), and its production approach. For example, it is related with the electronic equipment which carried as components the electro-optic device and such an electro-optic device which are represented by a liquid crystal display panel, EL (electroluminescence)

display, EC display, etc.

[0002] In addition, a semiconductor device points out the equipment at large which may function by using a semi-conductor property into this specification, and all of an electro-optic device, a semiconductor circuit, and electronic equipment are semiconductor devices.

[0003]

[Description of the Prior Art] In recent years, a thin film transistor (TFT) is constituted using the semiconductor thin film (number of thickness – about hundreds of nm) formed on the substrate which has an insulating front face, and development of the semiconductor device which has the large area integrated circuit formed by this TFT is progressing. The active matrix liquid crystal indicating equipment, EL indicating equipment, and the contact type image sensor are known as the example of representation. Especially TFT (it is hereafter described as poly-Si TFT) that made the barrier layer the crystalline substance silicon film (typically polish recon film) can also form various functional circuits from electric field effect mobility being high.

[0004] For example, the drive circuit for controlling pixel circuits, such as a pixel circuit which performs image display for every functional block, and a shift register circuit based on a CMOS circuit, a level-shifter circuit, a buffer circuit, a sampling circuit, to an active matrix liquid crystal indicating equipment is formed on one substrate.

[0005] TFT (pixel TFT) is arranged at each dozens to millions of pixel, and the pixel electrode is prepared in the pixel circuit of an active matrix liquid crystal display at each of the pixel TFT. The counterelectrode is prepared in the opposite substrate side which sandwiched liquid crystal, and a kind of capacitor which used liquid crystal as the dielectric is formed. And liquid crystal is driven by controlling the electrical potential difference impressed to each pixel by the switching function of TFT, and controlling the charge to this capacitor, and it has become the structure which controls the amount of transmitted lights and displays an image.

[0006] Pixel TFT consists of the n channel mold TFT, and makes liquid crystal impress and drive an electrical potential difference as a switching element. Since liquid crystal is made to drive by alternating current, many methods called a frame reversal drive are adopted. In order to stop power consumption low by this method, it is important for the property required of Pixel TFT to make sufficiently low an OFF state current value (drain current on which TFT flows at the time of off actuation).

[0007] As structure of TFT for reducing an OFF state current value, low concentration drain (LDD:Lightly Doped Drain) structure is known. Between the channel formation field, and the source field or drain field which adds and forms an impurity element in high concentration, this structure establishes the field which added the impurity element in low concentration, and is calling this field the LDD field. Moreover, the so-called GOLD (Gate-drain Overlapped LDD) structure where the LDD field was arranged in piles with the gate electrode through gate dielectric film as a means for preventing degradation of the ON state current value by the hot carrier is known. By considering as such structure, the high electric field near the drain are eased, hot carrier impregnation is prevented, and it is known that it is effective in prevention of a degradation phenomenon.

[0008] Moreover, the problem to which an OFF state current value becomes large compared with the usual high but on the other hand LDD structure was effective in GOLD structure preventing degradation of an ON state current value. Therefore, it was not structure desirable for applying to Pixel TFT. Conversely, although the effectiveness that the usual LDD structure holds down an OFF state current value was high, the effectiveness which eases the electric field near the drain and prevents degradation by hot carrier impregnation was low. Thus, in the semiconductor device which has two or more integrated circuits like an active matrix liquid crystal display, especially in crystalline substance silicon TFT, such a trouble has been actualized, so that the engine performance which the property increases and is required of an active matrix liquid crystal display increases.

[0009]

[Problem(s) to be Solved by the Invention] In the former, when it was going to form TFT equipped with

LDD structure, and TFT equipped with GOLD structure, there was a problem which the production process will become complicated and a routing counter increases. It is clear the increment's in a routing counter to become the cause of reducing about [becoming a manufacture increase-in-cost factor] and the manufacture yield.

[0010] While this invention raises the operating characteristic and dependability of a semiconductor device in the electro-optic device and semiconductor device which are represented by the liquid crystal display of the active-matrix mold which is a technique for solving such a trouble and is produced using TFT and attaining low-power-ization, it aims at reducing a routing counter and realizing reduction of a manufacturing cost, and improvement in the yield.

[0011]

[Means for Solving the Problem] In order to realize reduction of a manufacturing cost, and improvement in the yield, reducing a routing counter is considered as one means. Specifically, the number of sheets of the photo mask which manufacture of TFT takes is reduced. In the technique of photolithography, in the etching process case, a photo mask is used in order to form on a substrate the resist pattern used as a mask. Therefore, in the process before and behind that, resist exfoliation, washing, a desiccation process, etc. are added other than processes, such as membrane formation of a coat, and etching, and using one photo mask means that complicated processes, such as resist spreading, prebake, exposure, development, and postbake, are performed also in the process of photolithography.

[0012] This invention reduces the number of sheets of a photo mask conventionally, and is characterized by producing TFT at a production process as shown below. In addition, an example of the production approach of this invention was shown in drawing 1 and drawing 2.

[0013] The 1st process at which the production approach of this invention indicated on these specifications forms the semi-conductor layer 12 on an insulating front face, The 2nd process which forms an insulator layer 13 on said semi-conductor layer, and 1st conductive layer 18a which has the 1st width of face (W1) on said insulator layer 13, The 3rd process which forms the 1st electrode which consists of a laminating with 2nd conductive layer 17b, The 4th process which adds an impurity element in said semi-conductor layer 12 by using said 1st electrode as a mask, and forms the high concentration impurity ranges 20 and 21, 1st conductive layer 18b which etches said 2nd conductive layer 17b, and has said 1st width of face (W1), The 5th process which forms the 2nd electrode which consists of a laminating with 2nd conductive layer 17c which has the 2nd width of face (W2), The 6th process which adds an impurity element in said semi-conductor layer by using said 2nd conductive layer as a mask, and forms the low concentration impurity ranges 24 and 25, It is the production approach of a semiconductor device of having the 7th process which forms the 3rd electrode which consists of a laminating of 1st conductive layer 18c which etches said 1st conductive layer 18b, and has the 3rd width of face (W3), and 2nd conductive layer 17c which has said 2nd width of face (W2).

[0014] In the above-mentioned production approach, the element typically chosen from a tungsten (W), a tantalum (Ta), and titanium (Ti) or said element is formed from the compound or alloy used as a component, using a heat-resistant conductivity ingredient as an ingredient which forms the 1st electric conduction film and the 2nd electric conduction film.

[0015] Moreover, in the 3rd process of the above, the configuration of the 1st electrode is made into the configuration which thickness increases from an edge gradually toward the inside, and the so-called taper configuration in an edge.

[0016] In order to be a high speed, and to etch the 1st electric conduction film and the 2nd electric conduction film which consist of a heat-resistant conductivity ingredient with a sufficient precision and to make an edge into a taper configuration further, the dry etching method which used the high density plasma is applied. The etching system which used microwave and inductively coupled plasma (Inductively Coupled Plasma:ICP) is suitable for the technique of acquiring the high density plasma. Control of the plasma is easy for especially an ICP etching system, and it can respond also to large area-ization of a processing substrate.

[0017] About the plasma treatment approach and plasma treatment equipment using ICP, it is indicated by JP,9-293600,A. In this official report, the approach of four curled form coil parts impressing high-frequency power to the multi-spiral coil which it comes to connect with juxtaposition through an impedance matching box as a means for performing plasma treatment with high precision, and forming the plasma is used. Here, the die length per one of each coil part is made into 1/4 time of the wavelength of a RF. Furthermore, it is considering as the configuration which impresses high-frequency power also to the lower electrode holding a processed material separately, and adds bias voltage to it.

[0018] If the etching system using ICP which applied such a multi-spiral coil is used, the include angle (taper angle) of the taper section can change the include angle of the taper section to 5 degrees - 45 degrees by the bias power applied to a substrate side showing change greatly, and heightening bias power further, and changing a pressure.

[0019] Moreover, the impurity element ionized in the 4th process of the above in order to form the high concentration impurity ranges 20 and 21 in self align is accelerated by electric field, and it is gate dielectric film (in this invention). the insulator layer which is close to the 1st electrode and semi-conductor layer, and is prepared among the both, and the insulator layer which extends from this insulator layer to the field of the circumference of it — including — gate dielectric film — calling — it is made to pass and the approach of adding in a semi-conductor layer is used. The addition approach of this impurity element is called the "through doping method" for convenience into this specification.

[0020] In addition, in this specification, the impurity element has pointed out the thing of the impurity element (boron) which gives the impurity element (Lynn, arsenic) or p mold which gives n mold to a semi-conductor.

[0021] Moreover, according to the 5th process of the above, using the etching system using ICP, the 2nd conductive layer is etched alternatively and the 2nd width of face (W2) of 2nd conductive layer 17c which constitutes said 2nd electrode is made narrower than said 1st width of face (W1). Moreover, the taper angle in the edge of said 1st conductive layer in said 2nd electrode is made smaller than the taper angle in the edge of said 2nd conductive layer.

[0022] The through doping method is used for this invention at said 6th process by considering as the 2nd electrode of such a configuration. In the semi-conductor layer which exists under the part (taper section) used as the taper configuration of the 1st conductive layer which constitutes the 2nd electrode It is characterized by forming the low concentration impurity ranges 24 and 25 which become high continuously in self align as the concentration of an impurity element keeps away from a channel formation field. However, although it is high continuously, most concentration differences in a low concentration impurity range are not produced.

[0023] Thus, in order to form the low concentration impurity ranges 24 and 25 which have a loose concentration gradient in self align, the 1st taper section and gate dielectric film of a conductive layer which accelerate the ionized impurity element by electric field, and constitute the 2nd electrode are passed, and it adds in a semi-conductor layer. In this way, the low concentration impurity ranges 24 and 25 where it becomes possible to control the concentration of the impurity element added by the semi-conductor layer, it crosses in the direction of channel length of TFT, and the concentration of an impurity element changes with the thickness of the taper section of the 1st conductive layer gradually by performing the through doping method in the taper section of the 1st conductive layer which constitutes the 2nd electrode can be formed.

[0024] In addition, the low concentration impurity ranges 24 and 25 have lapped with the taper section of the 1st conductive layer which constitutes the 2nd electrode through gate dielectric film just behind the 6th process which performed the above-mentioned through dope.

[0025] Moreover, the taper section of the 1st conductive layer is alternatively etched according to the 7th process of the above. Etching of the 7th process is etching which used the RIE method, and differs from the etching approach used at the 3rd process and 5th process. However, if it is not limited to the RIE method but conditions are chosen suitably, after using the ICP method, it is also possible [it is also

possible to carry out using the dry etching system of an ICP method, and] to perform etching which uses the RIE method. According to this 7th process, the taper angle of said 1st conductive layer in said 3rd electrode becomes almost the same as the taper angle of said 1st conductive layer in said 2nd electrode. Moreover, said 3rd width of face (W3) is made larger than said 2nd width of face (W2) more narrowly than said 1st width of face (W1). Moreover, said insulator layer is removed by said the 7th process and coincidence, and it is exposed of a part of high concentration impurity range.

[0026] In addition, a low concentration impurity range is distinguishable immediately after the process of the above 7 at field 25a which laps with the taper section of the 1st conductive layer which constitutes the 3rd electrode through gate dielectric film, and field 25b which does not lap with the taper section of the 1st conductive layer which constitutes the 3rd electrode through gate dielectric film.

[0027] Moreover, the 3rd width of face (W3) can be freely adjusted by changing etching conditions suitably. Therefore, this invention is changing suitably the etching conditions in the 7th process of the above, and can adjust freely the width of face of the low concentration impurity range which laps with the 3rd electrode, and the width of face of the low concentration impurity range which does not lap with the 3rd electrode. However, the low concentration impurity range has the loose concentration gradient regardless of the width of face of this 3rd electrode, and while relaxation of electric-field concentration is attained and prevention by the hot carrier can do the field which has lapped with the 3rd electrode, the field which has not lapped with the 3rd electrode can hold down an OFF state current value.

[0028] In the above-mentioned production approach, although the 1st photolithography process is carried out to the 1st process and the 2nd photolithography process is carried out to the 3rd process, since the resist mask used at the 2nd photolithography process is used as it is, the photolithography process is not performed at other processes (the 4th – the 7th process).

[0029] Therefore, TFT is producible by performing the 3rd photolithography process for formation of a contact hole to the interlayer insulation film formed, and the 4th photolithography process for forming the source electrode or drain electrode which reaches a semi-conductor layer after the 7th process of the above.

[0030] Thus, though the number of photo masks was reduced, this invention was able to make the TFT configuration suitable. The configuration of this invention is shown below.

[0031] The semi-conductor layer by which this invention indicated on these specifications was formed on the insulating front face, It is a semiconductor device containing the insulator layer formed on this semi-conductor layer, and the gate electrode formed on this insulator layer. Said gate electrode The 1st conductive layer which has the 1st width of face (it is equivalent to W3 among drawing 2) is used as a lower layer. It has the laminated structure which makes the upper layer the 2nd conductive layer which has the 2nd width of face (it is equivalent to W2 among drawing 2) narrower than said 1st width of face. Said semi-conductor layer It is the semiconductor device characterized by having the channel formation field which laps with said 2nd conductive layer, the low concentration impurity range which laps with said 1st conductive layer in part, and the source field and drain field which consist of a high concentration impurity range.

[0032] Moreover, in the above-mentioned configuration, said low concentration impurity range is characterized by existing between said channel formation fields and said source fields or between said channel formation fields and said drain fields.

[0033] Moreover, in the above-mentioned configuration, the edge of said 1st conductive layer is characterized by being a taper configuration.

[0034] Moreover, in the above-mentioned configuration, the edge of said conductive layer of 1 is characterized by existing through said insulator layer between said channel formation fields and said source fields or between said channel formation fields and said drain fields.

[0035] Moreover, in the above-mentioned configuration, the thickness of a field which laps with said low concentration impurity range among said insulator layers is characterized by being thin as it keeps away from a channel formation field.

[0036] Moreover, as shown in drawing 3, it sets to the low concentration impurity range 25 prepared between the channel formation field 26 and the drain field 23. In the point of giving a concentration gradient to which the concentration of the impurity element which gives a conductivity type gradually becomes high as a drain field is approached, and the low concentration impurity range 25 which has a loose concentration gradient It is a point equipped with field 25a (GOLD field) which laps with gate electrode 18c, and field 25b (LDD field) which does not lap with a gate electrode.

[0037] In addition, on these specifications, the low concentration impurity range which does not lap the low concentration impurity range which laps with a gate electrode through an insulator layer with a GOLD field, and a call and a gate electrode is called a LDD field.

[0038] Moreover, it is characterized by forming the electro-optic device represented by a liquid crystal display and EL display using TFT equipped with the above-mentioned configuration.

[0039]

[Embodiment of the Invention] About the operation gestalt of this invention, drawing 1 - drawing 3 are used and explained below.

[0040] First, the substrate insulator layer 11 is formed on a substrate 10. As a substrate 10, the thing in which the insulator layer was formed on the front face of a glass substrate, a quartz substrate, a silicon substrate, a metal substrate, or a stainless steel substrate may be used. Moreover, the plastic plate which has the thermal resistance which can bear processing temperature may be used.

[0041] Moreover, as a substrate insulator layer 11, the substrate film 11 which consists of insulator layers, such as silicon oxide film, a silicon nitride film, or an oxidation silicon nitride film, is formed. Although the example which used two-layer structure (11a, 11b) as substrate film 11 was shown here, the structure which carried out the laminating the monolayer of said insulator layer or more than two-layer may be used. In addition, it is not necessary to form a substrate insulator layer.

[0042] Subsequently, the semi-conductor layer 12 is formed on a substrate insulator layer. After the semi-conductor layer 12 forms the semi-conductor film which has amorphous structure with well-known means (LPCVD a spatter, law or a plasma-CVD method, etc.), using the 1st photo mask, it carries out patterning of the crystalline substance semi-conductor film obtained by performing well-known crystallization processings (the heat crystallizing method using the catalyst of the laser crystallizing method, the heat crystallizing method, or nickel etc.) to a desired configuration, and forms it. The thickness of this semi-conductor layer 12 is formed by the thickness of 25-80nm (preferably 30-60nm). Although there is no limitation in the ingredient of the crystalline substance semi-conductor film, it is good to form with silicon or a silicon germanium (SiGe) alloy preferably.

[0043] Subsequently, the wrap insulator layer 13 is formed for the semi-conductor layer 12.

[0044] An insulator layer 13 is formed using a plasma-CVD method or a spatter by the monolayer or laminated structure of an insulator layer which sets thickness to 40-150nm, and contains silicon. In addition, this insulator layer 13 turns into gate dielectric film.

[0045] Subsequently, laminating formation of the 1st electric conduction film 14 of 20-100nm of thickness and the 2nd electric conduction film 15 of 100-400nm of thickness is carried out on an insulator layer 13. (Drawing 1 (A)) Here, laminating formation of the 1st electric conduction film 14 which consists of TaN film, and the 2nd electric conduction film 15 which consists of W film was carried out using the spatter. In addition, although TaN and the 2nd electric conduction film 15 were set to W for the 1st electric conduction film 14, it is not limited especially but the element with which all were chosen from Ta, W, Ti, Mo, aluminum, and Cu, or said element may be formed with the alloy ingredient or compound ingredient used as a principal component here. Moreover, the semi-conductor film represented by the polycrystalline silicon film which doped impurity elements, such as Lynn, may be used.

[0046] Subsequently, resist mask 16a is formed using the 2nd photo mask, and the 1st etching process is performed using an ICP etching system. 2nd conductive layer 17a which has the part (taper section) which has a taper configuration in an edge according to this 1st etching process as the 2nd electric

conduction film 15 is etched and it is shown in drawing 1 (B) is obtained.

[0047] Here, the include angle (taper angle) of the taper section is defined as an include angle of a substrate front face (horizontal plane) and the ramp of the taper section to make. The taper angle of 2nd conductive layer 17a can make etching conditions suitably the range of 5 degrees – 45 degrees by choosing.

[0048] Subsequently, the 2nd etching process is performed using an ICP etching system, using resist mask 16a as it is. 1st conductive layer 18a as etched the 1st electric conduction film 14 and shown in drawing 1 (C) according to this 2nd etching process is formed. 1st conductive layer 18a has the 1st width of face (W1). In addition, in the case of this 2nd etching process, a resist mask, the 2nd conductive layer, and an insulator layer are also etched slightly, and resist mask 16b, the 2nd conductive layer 17b, and insulator layer 19a are formed, respectively.

[0049] In addition, in order to suppress film decrease of an insulator layer 13, two etching (the 1st etching process and 2nd etching process) was performed, but as long as it can form electrode structure (laminating of 2nd conductive layer 17b and 1st conductive layer 18a) as shown in drawing 2 (C), it is not limited especially but you may carry out at 1 time of an etching process here.

[0050] Subsequently, the 1st doping process is performed, changing resist mask 16b into a condition as it is. According to this 1st doping process, a through dope is performed through insulator layer 19a, and the high concentration impurity ranges 20 and 21 are formed. (Drawing 1 (D))

[0051] Subsequently, the 3rd etching process is performed using an ICP etching system using resist mask 16b. 2nd conductive layer 17c as etched 2nd conductive layer 17b and shown in drawing 2 (A) according to this 3rd etching process is formed. 2nd conductive layer 17c has the 2nd width of face (W2). In addition, in the case of this 3rd etching process, a resist mask, the 1st conductive layer, and an insulator layer are also etched slightly, and resist mask 16c, the 1st conductive layer 18b, and insulator layer 19b are formed, respectively.

[0052] Subsequently, the 2nd doping process is performed, changing resist mask 16c into a condition as it is. According to this 2nd doping process, a through dope is performed through the taper section of 1st conductive layer 18b, and insulator layer 19b, and the low concentration impurity ranges 24 and 25 are formed. Drawing 2 (B) In addition, in the case of this 2nd doping, it is doped by the high concentration impurity range and the high concentration impurity ranges 22 and 23 are formed.

[0053] Subsequently, the 4th etching process is performed using a RIE etching system, changing resist mask 16c into a condition as it is. This 3rd etching process removes a part of taper section of 1st conductive layer 18b. Here, 1st conductive layer 18b which had the 1st width of face (W1) was set to 1st conductive layer 18c which has the 3rd width of face (W3). In this invention, 2nd conductive layer 17c by which the laminating was carried out to 1st [this] conductive layer 18c on it becomes a gate electrode. In addition, in the case of this 4th etching, insulator layer 19b is also etched and insulator layer 19c is formed. Here, it is not limited especially although the example which a part of insulator layer was removed [example] and made the high concentration impurity range expose was shown.

[0054] Then, resist mask 16c is removed and the impurity element added by the semi-conductor layer is activated. Subsequently, after forming an interlayer insulation film 27, a contact hole is formed using the 3rd mask and electrodes 28 and 29 are formed using the 4th mask.

[0055] In this way, TFT of the structure shown in drawing 2 (D) can be formed with four photo masks.

[0056] Moreover, in the low concentration impurity range 25 where the description of TFT formed of this invention is established between the channel formation field 26 and the drain field 23, it is a point equipped with field 25a (GOLD field) which a concentration difference does not almost have, has a loose concentration gradient, and laps with gate electrode 18c, and field 25b (LDD field) which does not lap with a gate electrode. Moreover, the upper field of field 25b which does not lap with the periphery section of insulator layer 19c, i.e., a gate electrode, and the high concentration impurity ranges 20 and 21 has become taper-like.

[0057] In addition, the simulation was performed in the process of drawing 2 (B). The structure

illustration shown in drawing 4 was used for the simulation. Here, it considered as 42nm of thickness of a semi-conductor layer, and 110nm of thickness of gate dielectric film, and the taper section of the 1st conductive layer was modeled in stair-like structure as shown in drawing 4, and assumed the case where Lynn was doped by acceleration voltage 90keV and dose 1.4×10^{13} atoms/cm².

[0058] The simulation result is shown in drawing 5. Becoming high continuously is shown in drawing 5 as the concentration of an impurity element (Lynn) keeps away from a channel formation field. However, most concentration differences [in / the concentration gradient is loose and / a low concentration impurity range] are not produced.

[0059] Moreover, the electrical potential difference/current characteristic of TFT which has the concentration distribution acquired by drawing 5, and was formed as a 0.5 micrometers GOLD field and a 0.5-micrometer LLD field were shown in drawing 6. In addition, by the simulation, 1.881V and S value set it 0.2878 V/dec, the ON state current was set to 40microA at the time of Vds(electrical-potential-difference difference of source field and drain field) =1V, and the threshold (Vth) of TFT was set to 119.6microA at the time of Vds=14V.

[0060] Suppose that still more detailed explanation is given about this invention which becomes with the above configuration as it is also at the example shown below.

[0061]

[Example] [Example 1] Here, drawing 7 - drawing 9 are used and explained to a detail about how to produce to coincidence TFT (the n channel mold TFT and p channel mold TFT) of the drive circuit prepared on the same substrate around the pixel section and the pixel section.

[0062] First, the substrate 100 which consists of glass, such as barium borosilicate glass represented with this example by #7059 glass of Corning, Inc., #1737 glass, etc. or alumino borosilicate glass, is used. In addition, if it is the substrate which has translucency as a substrate 100, it will not be limited, but a quartz substrate may be used. Moreover, the plastic plate which the thermal resistance which can bear the processing temperature of this example has may be used.

[0063] Subsequently, the substrate film 101 which consists of insulator layers, such as silicon oxide film, a silicon nitride film, or an oxidation silicon nitride film, is formed on a substrate 100. Although two-layer structure is used as substrate film 101 in this example, the structure which carried out the laminating the monolayer of said insulator layer or more than two-layer may be used. 10-200nm (preferably 50-100nm) formation of the oxidation silicon nitride film formed considering SiH₄, NH₃, and N₂O as reactant gas, using plasma-CVD method as eye much more 101 of substrate film 101 a is carried out. In this example, oxidation silicon nitride film of 50nm of thickness 101a (presentation ratio Si= 32%, O= 27%, N= 24%, H= 17%) was formed. Subsequently, laminating formation of the oxidation silicon nitride film 101b formed considering SiH₄ and N₂O as reactant gas is carried out at the thickness of 50-200nm (preferably 100-150nm), using a plasma-CVD method as [of the substrate film 101] a NI layer. In this example, oxidation silicon nitride film of 100nm of thickness 101b (presentation ratio Si= 32%, O= 59%, N= 7%, H= 2%) was formed.

[0064] Subsequently, the semi-conductor layers 102-105 are formed on the substrate film. Patterning of the crystalline substance semi-conductor film obtained by performing well-known crystallization processings (the heat crystallizing method using the catalyst of the laser crystallizing method, the heat crystallizing method, or nickel etc.) is carried out to a desired configuration, and the semi-conductor layers 102-105 form it, after forming the semi-conductor film which has amorphous structure with well-known means (LPCVD a spatter, law or a plasma-CVD method, etc.). The thickness of these semi-conductor layers 102-105 is formed by the thickness of 25-80nm (preferably 30-60nm). Although there is no limitation in the ingredient of the crystalline substance semi-conductor film, it is good to form with silicon or a silicon germanium (SiXGe_{1-X} (X=0.0001-0.02)) alloy preferably. After forming the 55nm amorphous silicon film using a plasma-CVD method, the solution containing nickel was made to hold on the amorphous silicon film in this example. After performing dehydrogenation (500 degrees C, 1 hour) on this amorphous silicon film, heat crystallization (550 degrees C, 4 hours) was performed, laser annealing

processing for improving crystallization further was performed, and the crystalline substance silicon film was formed. And the semi-conductor layers 102-105 were formed by patterning [film / this / crystalline substance silicon] processing using the photolithography method.

[0065] Moreover, after forming the semi-conductor layers 102-105, in order to control the threshold of TFT, a minute amount impurity element (boron or Lynn) may be doped.

[0066] Moreover, when producing the crystalline substance semi-conductor film by the laser crystallizing method, the excimer laser of a pulse oscillation mold or a continuation luminescence mold, and an YAG laser and YVO4 laser can be used. When using such laser, it is good to use the approach of condensing to a line the laser light emitted from the laser oscillation machine by optical system, and irradiating the semi-conductor film. Although an operation person makes **** selection, the conditions of crystallization are made into the pulse oscillation frequency of 30Hz when using an excimer laser, and make a laser energy consistency 100 – 400 mJ/cm² (typically 200 – 300 mJ/cm²). Moreover, it is good to consider as the pulse oscillation frequency of 1-10kHz using the 2nd higher harmonic, in using an YAG laser, and to make a laser energy consistency into 300 – 600 mJ/cm² (typically 350 – 500 mJ/cm²). and width of face of 100-1000 micrometers, for example, the laser light which condensed to the line by 400 micrometers, — the whole substrate surface — crossing — irradiating — the line at this time — what is necessary is just to perform the rate of superposition of laser light (rate of overlap) as 80 – 98%

[0067] Subsequently, wrap gate dielectric film 106 is formed for the semi-conductor layers 102-105. Gate dielectric film 106 is formed using a plasma-CVD method or a spatter by the insulator layer which sets thickness to 40-150nm, and contains silicon. At this example, it formed by the thickness of 110nm by the plasma-CVD method the oxidation silicon nitride film (presentation ratio Si= 32%, O= 59%, N= 7%, H= 2%). Of course, gate dielectric film is not limited to an oxidation silicon nitride film, and may use the insulator layer containing other silicon as a monolayer or a laminated structure.

[0068] Moreover, when using the silicon oxide film, TEOS (Tetraethyl Orthosilicate) and O₂ can be mixed by the plasma-CVD method, and it can consider as the reaction pressure of 40Pa, and the substrate temperature of 300-400 degrees C, it can be made to be able to discharge by 2 0.5-0.8W [/cm] RF (13.56MHz) power flux density, and can form. Thus, the silicon oxide film produced can acquire a property good as gate dielectric film by 400-500-degree C heat annealing after that.

[0069] Subsequently, as shown in drawing 7 (A), laminating formation of the 1st electric conduction film 107 of 20-100nm of thickness and the 2nd electric conduction film 108 of 100-400nm of thickness is carried out on gate dielectric film 106. In this example, laminating formation of the 2nd electric conduction film 108 which consists of the 1st electric conduction film 107 which consists of TaN film of 30nm of thickness, and W film of 370nm of thickness was carried out. The TaN film was formed by the spatter and carried out the spatter within the ambient atmosphere containing nitrogen using the target of Ta. Moreover, W film was formed by the spatter which used the target of W. In addition, it can also form with the heat CVD method using 6 tungsten fluoride (WF₆). Anyway, in order to use it as a gate electrode, it is necessary to attain low resistance-ization, and as for the resistivity of W film, it is desirable to make it 20 or less microomegacm. In W film, although W film can attain low resistivity-ization by enlarging crystal grain, when there are many impurity elements, such as oxygen, crystallization is checked and forms it into high resistance. Therefore, in this example, it is the spatter which used the target of W (99.9999% of purity) of a high grade, and resistivity 9 – 20microomegacm were able to be realized by considering enough and forming W film so that there may be no mixing of the impurity out of a gaseous phase further at the time of membrane formation.

[0070] In addition, in this example, although TaN and the 2nd electric conduction film 108 were set to W for the 1st electric conduction film 107, it is not limited especially but the element with which all were chosen from Ta, W, Ti, Mo, aluminum, Cu, Cr, and Nd, or said element may be formed with the alloy ingredient or compound ingredient used as a principal component. Moreover, the semi-conductor film represented by the polycrystalline silicon film which doped impurity elements, such as Lynn, may be

used. Moreover, an AgPdCu alloy may be used. Moreover, form the 1st electric conduction film by the tantalum (Ta) film, and use the 2nd electric conduction film as W film, and it is combined. Form the 1st electric conduction film by the titanium nitride (TiN) film, and use the 2nd electric conduction film as W film, and it is combined. It is good also as a combination which forms the 1st electric conduction film by the tantalum nitride (TaN) film, and uses the 2nd electric conduction film as aluminum film and which combines, forms the 1st electric conduction film by the tantalum nitride (TaN) film, and uses the 2nd electric conduction film as Cu film.

[0071] Next, 1st etching processing for forming the masks 109–112 which consist of a resist using the photolithography method, and forming an electrode and wiring is performed. The 1st etching processing performs on the 1st and 2nd etching conditions. In this example, it etched by using CF₄, and Cl₂ and O₂ for the gas for etching, setting each gas stream quantitative ratio to 25/25/10 (sccm), using the ICP (Inductively Coupled Plasma: inductive-coupling mold plasma) etching method as 1st etching condition, supplying RF (13.56MHz) power of 500W to the electrode of a coil mold by the pressure of 1Pa, and generating the plasma. Here, the dry etching system (Model E645-**ICP) which used ICP by Matsushita Electric Industrial Co., Ltd. was used. RF (13.56MHz) power of 150W is supplied also to a substrate side (sample stage), and a negative auto-bias electrical potential difference is impressed substantially. W film is etched according to this 1st etching condition, and the edge of the 2nd conductive layer is made into a taper configuration. Etch rates [as opposed to 200.39 nm/min and TaN in the etch rate to W in the 1st etching condition] are 80.32 nm/min, and the selection ratio of W to TaN is about 2.5. Moreover, the taper angle of W becomes about 26 degrees according to this 1st etching condition. In addition, etching on the 1st etching condition here is equivalent to the 1st etching process (drawing 1 (B)) indicated in the gestalt of operation.

[0072] Then, it changed into the 2nd etching condition, without removing the masks 109–112 which consist of a resist, CF₄ and Cl₂ were used for the gas for etching, each gas stream quantitative ratio was made into 30/30 (sccm), RF (13.56MHz) power of 500W was supplied to the electrode of a coil mold by the pressure of 1Pa, the plasma was generated, and etching for about 30 seconds was performed. RF (13.56MHz) power of 20W is supplied also to a substrate side (sample stage), and a negative auto-bias electrical potential difference is impressed substantially. On the 2nd etching condition which mixed CF₄ and Cl₂, W film and the TaN film are etched to the same extent. Etch rates [as opposed to 58.97 nm/min and TaN in the etch rate to W in the 2nd etching condition] are 66.43 nm/min. In addition, in order to etch without leaving residue on gate dielectric film, it is good to make etching time increase at about 10 – 20% of a rate. In addition, etching on the 2nd etching conditions here is equivalent to the 2nd etching process (drawing 1 (C)) indicated in the gestalt of operation.

[0073] In etching processing of the above 1st, the edge of the 1st conductive layer and the 2nd conductive layer serves as a taper configuration according to the effectiveness of the bias voltage impressed to a substrate side by having been suitable in the configuration of the mask which consists of a resist. What is necessary is just to make the include angle of this taper section into 15 degrees – 45 degrees. In this way, the conductive layers 113–116 (the 1st conductive layers 113a–116a and 2nd conductive layer 113b–116b) of the 1st configuration which consists of the 1st conductive layer and 2nd conductive layer by 1st etching processing are formed. The width of face of the 1st conductive layer of the direction of channel length here is equivalent to W1 shown in the gestalt of the above-mentioned implementation. 117 is gate dielectric film and the field which about 20–50nm of fields which are not covered by the conductive layers 113–116 of the 1st configuration was etched, and became thin is formed.

[0074] And 1st doping processing is performed without removing the mask which consists of a resist, and the impurity element which gives n mold to a semi-conductor layer is added. (Drawing 7 (B)) What is necessary is just to perform doping processing with the ion doping method or ion-implantation. The conditions of the ion doping method make a dose 1×10^{13} – 5×10^{15} atoms/cm², and perform acceleration voltage as 60–100keV. In this example, the dose was made into 1.5×10^{15} atoms/cm², and

acceleration voltage was performed as 80keV(s). the element which belongs to 15 groups as an impurity element which gives n mold — typical — Lynn — although (P) or arsenic (As) is used — here — Lynn — (P) was used. In this case, it becomes a mask to the impurity element with which conductive layers 113–116 give n mold, and the high concentration impurity ranges 118–121 are formed in self align. In the high concentration impurity ranges 118–121, the impurity element which gives n mold by the density range of $1 \times 10^{20} - 1 \times 10^{21}$ atoms/cm³ is added. In addition, the 1st doping processing here is equivalent to the 1st doping process (drawing 1 (D)) indicated in the gestalt of operation.

[0075] Subsequently, 2nd etching processing is performed, without removing the mask which consists of a resist. In addition, what is necessary is just to use the gas chosen from fluorine compound system gas, such as chlorine compound system gas, such as Cl₂, BCl₃, SiCl₄, and CCl₄, and CF₄, SF₆, NF₃, and O₂, or the mixed gas which makes these a principal component for the gas for etching used for the 1st etching processing or the 2nd etching processing. Here, it etched by using CF₄, and Cl₂ and O₂ for the gas for etching, setting each gas stream quantitative ratio to 25/25/10 (sccm), supplying RF (13.56MHz) power of 500W to the electrode of a coil mold by the pressure of 1Pa, and generating the plasma. RF (13.56MHz) power of 20W is supplied also to a substrate side (sample stage), and a negative auto-bias electrical potential difference is impressed substantially. Etch rates [as opposed to 124.62 nm/min and TaN in the etch rate to W in the 2nd etching processing] are 20.67 nm/min, and the selection ratio of W to TaN is 6.05. Therefore, W film is etched alternatively. The taper angle of W became 70 degrees by this 2nd etching processing. The 2nd conductive layer 122b–125b is formed by this 2nd etching processing. On the other hand, the 1st conductive layer 113a–116a is hardly etched, but forms the 1st conductive layer 122a–125a. In addition, the 2nd etching processing here is equivalent to the 3rd etching process (drawing 2 (A)) indicated in the gestalt of operation. Moreover, the width of face of the 2nd conductive layer of the direction of channel length here is equivalent to W₂ shown in the gestalt of operation.

[0076] Subsequently, 2nd doping processing is performed and the condition of drawing 7 (C) is acquired. Doping uses the 2nd conductive layer 122b–125b as a mask to an impurity element, and it dopes it so that an impurity element may be added by the semi-conductor layer of the taper section lower part of the 1st conductive layer. In this example, a dose 3.5×10^{12} and acceleration voltage 90keV performed plasma doping, using P (Lynn) as an impurity element. In this way, the low concentration impurity ranges 126–129 which lap with the 1st conductive layer are formed in self align. The concentration of Lynn (P) added to these low concentration impurity ranges 126–129 is $1 \times 10^{17} - 1 \times 10^{18}$ atoms/cm³, and has the loose concentration gradient according to the thickness of the taper section of the 1st conductive layer. In addition, in the semi-conductor layer which laps with the taper section of the 1st conductive layer, although high impurity concentration is low a little toward the edge of the taper section of the 1st conductive layer to the inside, it is almost comparable concentration. Moreover, an impurity element is added by the high concentration impurity ranges 118–121, and the high concentration impurity ranges 130–133 are formed. In addition, the 2nd doping processing here is equivalent to the 2nd doping process (drawing 2 (B)) indicated in the gestalt of operation.

[0077] Subsequently, 3rd etching processing is performed, without removing the mask which consists of a resist. In this 3rd etching processing, the taper section of the 1st conductive layer is etched partially, and it is carried out in order to reduce the field which laps with a semi-conductor layer. The 3rd etching processing uses CHF₃ for etching gas, and is performed using a reactive-ion-etching method (the RIE method). At this example, 3rd etching processing was performed by the chamber pressure of 6.7Pa, RF power 800W, and CHF₃ quantity-of-gas-flow 35sccm. Of the 3rd etching processing, the 1st conductive layer 138–141 is formed. (Drawing 8 (A)) In addition, the 3rd etching processing here is equivalent to the 4th etching process (drawing 2 (C)) indicated in the gestalt of operation. Moreover, the width of face of the 1st conductive layer of the direction of channel length here is equivalent to W₃ shown in the gestalt of operation.

[0078] an insulator layer 117 is also etched into coincidence at the time of this 3rd etching processing — having — a part of high concentration impurity ranges 130–133 — exposing — insulator layer 143a—

143c and 144 are formed. In addition, although the etching conditions which a part of high concentration impurity ranges 130–133 expose were used in this example, if the thickness and the etching conditions of an insulator layer are changed, an insulator layer can remain in a high concentration impurity range thinly.

[0079] Of etching processing of the above 3rd, the impurity ranges (LDD field) 134a–137a which do not lap with the 1st conductive layer 138–141 are formed. In addition, impurity ranges (GOLD field) 134b–137b have lapped with the 1st conductive layer 138–141.

[0080] Moreover, the electrode which the electrode formed by the 1st conductive layer 138 and 2nd conductive layer 122b turned into a gate electrode of the n channel mold TFT of the drive circuit formed at a next process, and was formed by the 1st conductive layer 139 and 2nd conductive layer 123b turns into a gate electrode of the p channel mold TFT of the drive circuit formed at a next process. The electrode which similarly the electrode formed by the 1st conductive layer 140 and 2nd conductive layer 124b turned into a gate electrode of the n channel mold TFT of the pixel section formed at a next process, and was formed by the 1st conductive layer 141 and 2nd conductive layer 125b turns into one electrode of the retention volume of the pixel section formed at a next process.

[0081] By doing in this way, this example can make small the difference of the high impurity concentration in the impurity ranges (GOLD field) 134b–137b which lap with the 1st conductive layer 138–141, and the high impurity concentration in the impurity ranges (LDD field) 134a–137a which do not lap with the 1st conductive layer 138–141, and can raise a TFT property.

[0082] Subsequently, after removing the mask which consists of a resist, the masks 145 and 146 which newly consist of a resist are formed, and 3rd doping processing is performed. The impurity ranges 147–152 where the impurity element which gives a conductivity type (p mold) with said one reverse conductivity type (n mold) to the semi-conductor layer used as the barrier layer of the p channel mold TFT by this 3rd doping processing was added are formed. (Drawing 8 (B)) The 1st conductive layer 139 and 141 is used as a mask to an impurity element, the impurity element which gives p mold is added, and an impurity range is formed in self align. In this example, impurity ranges 147–152 are formed by the ion doping method for having used diboron hexahydride (B_2H_6). In addition, in the case of this 3rd doping processing, the semi-conductor layer which forms the n channel mold TFT is covered with the masks 145 and 146 which consist of a resist. Although Lynn is added by concentration different, respectively by the 1st doping processing and the 2nd doping processing in impurity ranges 145 and 146, in order to function as the source field and drain field of the p channel mold TFT by carrying out doping processing so that the concentration of the impurity element which gives p mold also in which the field may serve as $2 \times 10^{20} - 2 \times 10^{21}$ atoms/cm³, a problem is not produced at all. In this example, since a part of semi-conductor layer used as the barrier layer of the p channel mold TFT was exposed by 3rd etching processing, it has the advantage which is easy to add an impurity element (boron).

[0083] 1 time is sufficient as this 3rd doping processing, and multiple times are sufficient as it. For example, when performing two doping, the 1st doping conditions are set to acceleration voltage 5–40keV, 147 and 150 can be formed, the 2nd doping conditions can be set to acceleration voltage 60–120keV, and the impregnation defect (defect by ion doping or the ion implantation) in the semi-conductor film can be suppressed by forming 148, 149, 151, and 152 to the minimum. Furthermore, if it dopes by multiple times in this way, the amount of installation of a boron element can be changed to a source field and the drain field 147, and the LDD fields 148 and 149, respectively, and the degree of freedom of a design will improve.

[0084] An impurity range is formed in each semi-conductor layer at the process to the above.

[0085] Subsequently, the masks 145 and 146 which consist of a resist are removed, and the 1st interlayer insulation film 153 is formed. It forms by the insulator layer which sets thickness to 100–200nm, and contains silicon, using a plasma-CVD method or a spatter as this 1st interlayer insulation film 153. In this example, the oxidation silicon nitride film of 150nm of thickness was formed by the plasma-CVD method. Of course, the 1st interlayer insulation film 153 is not limited to an oxidation

silicon nitride film, and may use the insulator layer containing other silicon as a monolayer or a laminated structure.

[0086] Subsequently, as shown in drawing 8 (C), the process which carries out activation of the impurity element added by each semi-conductor layer is performed. This activation process is performed by the heat annealing method for using a furnace annealing furnace. As a heat annealing method, the oxygen density performed 1 ppm or less of activation by 550 degrees C and heat treatment of 4 hours at this example that what is necessary is just to perform 400–700 degrees C at 500–550 degrees C typically in nitrogen-gas-atmosphere mind 0.1 ppm or less preferably. In addition, the laser annealing method or the rapid thermal annealing method (RTA law) other than the heat annealing method is applicable.

[0087] In addition, in this example, gettering is carried out to the impurity range (130, 132, 147, 150) where the nickel used as a catalyst at the above-mentioned activation and coincidence on the occasion of crystallization includes high-concentration Lynn, and the nickel concentration in the semi-conductor layer which mainly serves as a channel formation field is reduced. Thus, an OFF state current value falls, high electric field effect mobility is obtained from crystallinity being good, and TFT which has the produced channel formation field can attain a good property.

[0088] Moreover, activation may be performed before forming the 1st interlayer insulation film. However, when the used wiring material is weak with heat, it is desirable to perform activation, after forming an interlayer insulation film (the insulator layer which uses silicon as a principal component, for example, a silicon nitride film), in order to protect wiring etc. like this example.

[0089] Furthermore, in the ambient atmosphere containing 3 – 100% of hydrogen, heat treatment of 1 – 12 hours is performed at 300–550 degrees C, and the process which hydrogenates a semi-conductor layer is performed. In this example, 410 degrees C and heat treatment of 1 hour were performed for hydrogen in about 3% of nitrogen-gas-atmosphere mind to include. This process is a process which carries out termination of the dangling bond of a semi-conductor layer by the hydrogen contained in an interlayer insulation film. As other means of hydrogenation, plasma hydrogenation (the hydrogen excited by the plasma is used) may be performed.

[0090] Moreover, when using the laser annealing method as activation, after performing the above-mentioned hydrogenation, it is desirable to irradiate laser light, such as an excimer laser and an YAG laser.

[0091] Subsequently, the 2nd interlayer insulation film 154 which consists of an organic insulating material ingredient is formed on the 1st interlayer insulation film 153. In this example, the acrylic resin film of 1.6 micrometers of thickness was formed. Subsequently, patterning for forming the contact hole which arrives at each impurity ranges 130, 132, 147, and 150 is performed.

[0092] And in the drive circuit 205, the electrodes 155–158 electrically connected with an impurity range 130 or an impurity range 147, respectively are formed. In addition, these electrodes carry out patterning of the cascade screen of Ti film of 50nm of thickness, and the alloy film (alloy film of aluminum and Ti) of 500nm of thickness, and form it.

[0093] Moreover, in the pixel section 206, the connection electrode 160 which touches an impurity range 132, or the source electrode 159 is formed, and the connection electrode 161 which touches an impurity range 150 is formed.

[0094] Subsequently, the pixel electrode 162 is formed by forming and carrying out patterning of the transparence electric conduction film by the thickness of 80–120nm on it. (Drawing 9) It is the ingredient with which the indium oxide zinc-oxide alloy ($\text{In}_2\text{O}_3\text{-ZnO}$) and the zinc oxide (ZnO) also fitted the transparence electric conduction film, and in order to raise the permeability and conductivity of the light further, the zinc oxide (ZnO:Ga) which added the gallium (Ga) can be used suitably.

[0095] Moreover, by forming the pixel electrode 162 in piles in contact with the connection electrode 160, the drain field of Pixel TFT and electric connection are formed, while forms retention volume further, and the semi-conductor layer (impurity range 150) which functions as an electrode, and electric connection are formed.

[0096] In addition, although the example which used the transparency electric conduction film was shown as a pixel electrode, if a pixel electrode is formed using the conductive ingredient which has reflexivity, the display of a reflective mold is producible here. In that case, a pixel electrode can be formed in coincidence at the process which produces an electrode, and it is desirable as an ingredient of the pixel electrode to use the ingredient which was excellent in reflexivity, such as film which uses aluminum or Ag as a principal component, or those cascade screens.

[0097] The pixel section 206 which has the drive circuit 205 which has the n channel mold TFT201 and the p channel mold TFT202 as mentioned above, and a pixel TFT203 and retention volume 204 can be formed on the same substrate. In this specification, such a substrate is called a active-matrix substrate for convenience.

[0098] The n channel mold TFT201 of the drive circuit 205 has the high concentration impurity range 130 which functions as low concentration impurity range 134b (GOLD field) which laps with the channel formation field 163 and the 1st conductive layer 138 which constitutes some gate electrodes, low concentration impurity range 134a (LDD field) formed in the outside of a gate electrode, a source field, or a drain field. It has the impurity range 147 which functions on the p channel mold TFT202 as the channel formation field 164, the impurity range 149 which laps with the 1st conductive layer 139 which constitutes some gate electrodes, the impurity range 148 formed in the outside of a gate electrode, a source field, or a drain field.

[0099] In the pixel TFT203 of the pixel section 206, it has the high concentration impurity range 132 which functions as low concentration impurity range 136b (GOLD field) which laps with the channel formation field 165 and the 1st conductive layer 140 which forms a gate electrode, low concentration impurity range 136a (LDD field) formed in the outside of a gate electrode, a source field, or a drain field. Moreover, the impurity element which gives p mold, respectively is added by the semi-conductor layers 150-152 which function as one electrode of retention volume 204. retention volume 204 — an insulator layer 144 — a dielectric — carrying out — electrodes 125 and 141 and semi-conductor layer 150- it forms by 152 and 166.

[0100] [Example 2] this example explains below the process which produces an active matrix liquid crystal display from the active-matrix substrate produced in the example 1. Drawing 10 is used for explanation.

[0101] First, after obtaining the active-matrix substrate of the condition of drawing 9 according to an example 1, the orientation film 167 is formed on the active-matrix substrate of drawing 9, and rubbing processing is performed. In addition, in this example, before forming the orientation film 167, the spacer of the shape of a column for holding substrate spacing was formed in the desired location by carrying out patterning of the organic resin film, such as acrylic resin film. Moreover, it may replace with a column-like spacer and a spherical spacer may be sprinkled all over a substrate.

[0102] Subsequently, the opposite substrate 168 is prepared. The color filter with which the coloring layer 174 and the protection-from-light layer 175 have been arranged corresponding to each pixel is prepared in this opposite substrate. Moreover, the protection-from-light layer 177 was formed also in the part of a drive circuit. The wrap flattening film 176 was formed for this color filter and the protection-from-light layer 177. Subsequently, on the flattening film 176, the counterelectrode 169 which consists of transparency electric conduction film was formed in the pixel section, the orientation film 170 was formed all over the opposite substrate, and rubbing processing was performed.

[0103] And the pixel section, the active-matrix substrate with which the drive circuit was formed, and an opposite substrate are stuck by the sealant 171. The filler is mixed in the sealant 171 and two substrates are stuck on it with uniform spacing by this filler and pillar-shaped spacer. Then, the liquid crystal ingredient 173 is poured in among both substrates, and it closes completely with encapsulant (not shown). What is necessary is just to use a well-known liquid crystal ingredient for the liquid crystal ingredient 173. Thus, the active matrix liquid crystal display shown in drawing 10 is completed. And if there is need, a active-matrix substrate or an opposite substrate will be divided in a desired

configuration. Furthermore, the polarizing plate etc. was suitably prepared using the well-known technique. And FPC was stuck using the well-known technique.

[0104] In this way, the configuration of the obtained liquid crystal display panel is explained using the plan of drawing 11. In addition, the same sign was used for drawing 10 and a corresponding part.

[0105] The active-matrix substrate with which the wiring 208 to which the plan shown by drawing 11 (A) connects even the input section of each circuit with the pixel section, a drive circuit, the external input terminal 207 that sticks FPC (flexible printed wiring board: Flexible Printed Circuit), and an external input terminal was formed, and the opposite substrate 168 with which the color filter etc. was prepared are stuck through a sealant 171.

[0106] Protection-from-light layer 177a is prepared in an opposite substrate side so that it may lap with gate wiring side drive circuit 205a, and protection-from-light layer 177b is formed in the opposite substrate side so that it may lap with source wiring side drive circuit 205b. Moreover, as for the color filter 209 prepared in the opposite substrate side on the pixel section 206, the protection-from-light layer and the coloring layer of each color of red (R), green (G), and blue (B) are prepared corresponding to each pixel. Although color display is formed by three colors of a red (R) coloring layer, a green (G) coloring layer, and a blue (B) coloring layer in case it actually displays, let the arrays of the coloring layer of each [these] color be arbitrary things.

[0107] Here, a color filter may be formed in a active-matrix substrate in case it is not limited especially although the color filter 209 is formed in the opposite substrate in order to attain colorization, but a active-matrix substrate is produced.

[0108] Moreover, the protection-from-light layer is prepared between the pixels which adjoin each other in a color filter, and parts other than a viewing area are shaded. Moreover, although the drive circuit is established for the protection-from-light layers 177a and 177b also in the wrap field, in case a wrap field incorporates a liquid crystal display for a drive circuit as a display of electronic equipment behind here, it is good also as a configuration which does not prepare especially a protection-from-light layer with covering for a wrap reason. Moreover, in case a active-matrix substrate is produced, a protection-from-light layer may be formed in a active-matrix substrate.

[0109] Moreover, without preparing the above-mentioned protection-from-light layer, between an opposite substrate and a counterelectrode, it may arrange suitably so that it may shade in the laminating which piled up the two or more layers coloring layer which constitutes a color filter, and the parts (gap of each pixel electrode) and drive circuits other than a viewing area may be shaded.

[0110] Moreover, FPC which consists of a base film 210 and wiring 211 is stuck on an external input terminal with anisotropy conductive resin 212. Furthermore, the mechanical strength is raised by the back up plate.

[0111] Drawing 11 (B) shows the sectional view to the A-A' line of the external input terminal 207 shown by drawing 11 (A). Since the outer diameter of the conductive particle 214 is smaller than the pitch of wiring 215, wiring by the side of FPC which corresponds without connecting with wiring which adjoins if the amount distributed in adhesives 212 is made suitable too hastily, and electric connection can be formed.

[0112] The liquid crystal display panel produced as mentioned above can be used as a display of various electronic equipment.

[0113] [Example 3] this example explains the production approach of a active-matrix substrate which is different in an example 1 using drawing 12 -15 and drawing 17. Although the display of a transparency mold was formed in the example 1, in this example, the display of a reflective mold is formed and it is characterized by reducing the number of masks rather than an example 1.

[0114] First, the substrate 400 which consists of glass, such as barium borosilicate glass represented with this example by #7059 glass of Corning, Inc., #1737 glass, etc. or alumino borosilicate glass, is used. In addition, as a substrate 400, the thing in which the insulator layer was formed on the front face of a quartz substrate, a silicon substrate, a metal substrate, or a stainless steel substrate may be used.

Moreover, the plastic plate which the thermal resistance which can bear the processing temperature of this example has may be used.

[0115] Subsequently, the substrate film 401 which consists of insulator layers, such as silicon oxide film, a silicon nitride film, or an oxidation silicon nitride film, is formed on a substrate 400. Although two-layer structure is used as substrate film 401 in this example, the structure which carried out the laminating the monolayer of said insulator layer or more than two-layer may be used. 10–200nm (preferably 50–100nm) formation of the oxidation silicon nitride film formed considering SiH_4 , NH_3 , and N_2O as reactant gas, using plasma-CVD method as eye much more 401 of substrate film 401 a is carried out. In this example, oxidation silicon nitride film of 50nm of thickness 401a (presentation ratio Si= 32%, O= 27%, N= 24%, H= 17%) was formed. Subsequently, laminating formation of the oxidation silicon nitride film 401b formed considering SiH_4 and N_2O as reactant gas is carried out at the thickness of 50–200nm (preferably 100–150nm), using a plasma-CVD method as [of the substrate film 401] a NI layer. In this example, oxidation silicon nitride film of 100nm of thickness 401b (presentation ratio Si= 32%, O= 59%, N= 7%, H= 2%) was formed.

[0116] Subsequently, the semi-conductor layers 402–406 are formed on the substrate film. Patterning of the crystalline substance semi-conductor film obtained by performing well-known crystallization processings (the heat crystallizing method using the catalyst of the laser crystallizing method, the heat crystallizing method, or nickel etc.) is carried out to a desired configuration, and the semi-conductor layers 402–406 form it, after forming the semi-conductor film which has amorphous structure with well-known means (LPCVD a spatter, law or a plasma-CVD method, etc.). The thickness of these semi-conductor layers 402–406 is formed by the thickness of 25–80nm (preferably 30–60nm). Although there is no limitation in the ingredient of the crystalline substance semi-conductor film, it is good to form with silicon or a silicon germanium (SiGe) alloy preferably. After forming the 55nm amorphous silicon film using a plasma-CVD method, the solution containing nickel was made to hold on the amorphous silicon film in this example. After performing dehydrogenation (500 degrees C, 1 hour) on this amorphous silicon film, heat crystallization (550 degrees C, 4 hours) was performed, laser annealing processing for improving crystallization further was performed, and the crystalline substance silicon film was formed. And the semi-conductor layers 402–406 were formed by patterning [film / this / crystalline substance silicon] processing using the photolithography method.

[0117] Moreover, after forming the semi-conductor layers 402–406, in order to control the threshold of TFT, a minute amount impurity element (boron or Lynn) may be doped.

[0118] Moreover, when producing the crystalline substance semi-conductor film by the laser crystallizing method, the excimer laser of a pulse oscillation mold or a continuation luminescence mold, and an YAG laser and YVO4 laser can be used. When using such laser, it is good to use the approach of condensing to a line the laser light emitted from the laser oscillation machine by optical system, and irradiating the semi-conductor film. Although an operation person makes **** selection, the conditions of crystallization are made into the pulse oscillation frequency of 30Hz when using an excimer laser, and make a laser energy consistency 100 – 400 mJ/cm² (typically 200 – 300 mJ/cm²). Moreover, it is good to consider as the pulse oscillation frequency of 1–10kHz using the 2nd higher harmonic, in using an YAG laser, and to make a laser energy consistency into 300 – 600 mJ/cm² (typically 350 – 500 mJ/cm²). and width of face of 100–1000 micrometers, for example, the laser light which condensed to the line by 400 micrometers, — the whole substrate surface — crossing — irradiating — the line at this time — what is necessary is just to perform the rate of superposition of laser light (rate of overlap) as 80 – 98%

[0119] Subsequently, wrap gate dielectric film 407 is formed for the semi-conductor layers 402–406. Gate dielectric film 407 is formed using a plasma-CVD method or a spatter by the insulator layer which sets thickness to 40–150nm, and contains silicon. At this example, it formed by the thickness of 110nm by the plasma-CVD method the oxidation silicon nitride film (presentation ratio Si= 32%, O= 59%, N= 7%, H= 2%). Of course, gate dielectric film is not limited to an oxidation silicon nitride film, and may use the

insulator layer containing other silicon as a monolayer or a laminated structure.

[0120] Moreover, when using the silicon oxide film, TEOS (Tetraethyl Orthosilicate) and O₂ can be mixed by the plasma-CVD method, and it can consider as the reaction pressure of 40Pa, and the substrate temperature of 300–400 degrees C, it can be made to be able to discharge by 2 0.5–0.8W [/cm] RF (13.56MHz) power flux density, and can form. Thus, the silicon oxide film produced can acquire a property good as gate dielectric film by 400–500-degree C heat annealing after that.

[0121] Subsequently, as shown in drawing 12 (A), laminating formation of the 1st electric conduction film 408 of 20–100nm of thickness and the 2nd electric conduction film 409 of 100–400nm of thickness is carried out on gate dielectric film 407. In this example, laminating formation of the 2nd electric conduction film 409 which consists of the 1st electric conduction film 408 which consists of TaN film of 30nm of thickness, and W film of 370nm of thickness was carried out. The TaN film was formed by the spatter and carried out the spatter within the ambient atmosphere containing nitrogen using the target of Ta. Moreover, W film was formed by the spatter which used the target of W. In addition, it can also form with the heat CVD method using 6 tungsten fluoride (WF₆). Anyway, in order to use it as a gate electrode, it is necessary to attain low resistance-ization, and as for the resistivity of W film, it is desirable to make it 20 or less microomegacm. In W film, although W film can attain low resistivity-ization by enlarging crystal grain, when there are many impurity elements, such as oxygen, crystallization is checked and forms it into high resistance. Therefore, in this example, it is the spatter which used the target of W (99.9999% of purity, 99.99% of purity) of a high grade, and resistivity 9 – 20microomegacm were able to be realized by considering enough and forming W film so that there may be no mixing of the impurity out of a gaseous phase further at the time of membrane formation.

[0122] In addition, in this example, although TaN and the 2nd electric conduction film 409 were set to W for the 1st electric conduction film 408, it is not limited especially but the element with which all were chosen from Ta, W, Ti, Mo, aluminum, Cu, Cr, and Nd, or said element may be formed with the alloy ingredient or compound ingredient used as a principal component. Moreover, the semi-conductor film represented by the polycrystalline silicon film which doped impurity elements, such as Lynn, may be used. Moreover, an AgPdCu alloy may be used. Moreover, form the 1st electric conduction film by the tantalum (Ta) film, and use the 2nd electric conduction film as W film, and it is combined. Form the 1st electric conduction film by the titanium nitride (TiN) film, and use the 2nd electric conduction film as W film, and it is combined. It is good also as a combination which forms the 1st electric conduction film by the tantalum nitride (TaN) film, and uses the 2nd electric conduction film as aluminum film and which combines, forms the 1st electric conduction film by the tantalum nitride (TaN) film, and uses the 2nd electric conduction film as Cu film.

[0123] Next, 1st etching processing for forming the masks 410–415 which consist of a resist using the photolithography method, and forming an electrode and wiring is performed. The 1st etching processing performs on the 1st and 2nd etching conditions. In this example, it etched by using CF₄, and Cl₂ and O₂ for the gas for etching, setting each gas stream quantitative ratio to 25/25/10 (sccm), using the ICP (Inductively Coupled Plasma: inductive-coupling mold plasma) etching method as 1st etching condition, supplying RF (13.56MHz) power of 500W to the electrode of a coil mold by the pressure of 1Pa, and generating the plasma. Here, the dry etching system (Model E645–**ICP) which used ICP by Matsushita Electric Industrial Co., Ltd. was used. RF (13.56MHz) power of 150W is supplied also to a substrate side (sample stage), and a negative auto-bias electrical potential difference is impressed substantially. W film is etched according to this 1st etching condition, and the edge of the 2nd conductive layer is made into a taper configuration. Moreover, the plan in the pixel section using the optical microscope immediately after etching on this 1st etching condition was shown in drawing 17 (A).

[0124] Then, it changed into the 2nd etching condition, without removing the masks 410–415 which consist of a resist, CF₄ and Cl₂ were used for the gas for etching, each gas stream quantitative ratio was made into 30/30 (sccm), RF (13.56MHz) power of 500W was supplied to the electrode of a coil mold by the pressure of 1Pa, the plasma was generated, and etching for about 30 seconds was performed. RF

(13.56MHz) power of 20W is supplied also to a substrate side (sample stage), and a negative auto-bias electrical potential difference is impressed substantially. On the 2nd etching condition which mixed CF₄ and Cl₂, W film and the TaN film are etched to the same extent. In addition, in order to etch without leaving residue on gate dielectric film, it is good to make etching time increase at about 10 – 20% of a rate.

[0125] In etching processing of the above 1st, the edge of the 1st conductive layer and the 2nd conductive layer serves as a taper configuration according to the effectiveness of the bias voltage impressed to a substrate side by having been suitable in the configuration of the mask which consists of a resist. The include angle of this taper section becomes 15 degrees – 45 degrees. In this way, the conductive layers 417–422 (the 1st conductive layers 417a–422a and 2nd conductive layer 417b–422b) of the 1st configuration which consists of the 1st conductive layer and 2nd conductive layer by 1st etching processing are formed. 416 is gate dielectric film and the field which about 20–50nm of fields which are not covered by the conductive layers 417–422 of the 1st configuration was etched, and became thin is formed. Moreover, the plan in the pixel section using the optical microscope immediately after etching on this 2nd etching condition was shown in drawing 17 (B).

[0126] And 1st doping processing is performed without removing the mask which consists of a resist, and the impurity element which gives n mold to a semi-conductor layer is added. (Drawing 12 (B)) What is necessary is just to perform doping processing with the ion doping method or ion-implantation. The conditions of the ion doping method make a dose $1 \times 10^{13} - 5 \times 10^{15}$ atoms/cm², and perform acceleration voltage as 60–100keV. In this example, the dose was made into 1.5×10^{15} atoms/cm², and acceleration voltage was performed as 80keV(s). the element which belongs to 15 groups as an impurity element which gives n mold — typical — Lynn — although (P) or arsenic (As) is used — here — Lynn — (P) was used. In this case, it becomes a mask to the impurity element with which conductive layers 417–421 give n mold, and the high concentration impurity ranges 423–427 are formed in self align. In the high concentration impurity ranges 423–427, the impurity element which gives n mold by the density range of $1 \times 10^{20} - 1 \times 10^{21}$ atoms/cm³ is added.

[0127] Subsequently, 2nd etching processing is performed, without removing the mask which consists of a resist. Here, CF₄, and Cl₂ and O₂ are used for etching gas, and W film is etched alternatively. At this time, the 1st conductive layer 428b–433b is formed by 2nd etching processing. On the other hand, the 2nd conductive layer 417a–422a is hardly etched, but forms the 2nd conductive layer 428a–433a. Subsequently, 2nd doping processing is performed and the condition of drawing 12 (C) is acquired. Doping uses the 2nd conductive layer 417a–422a as a mask to an impurity element, and it dopes it so that an impurity element may be added by the semi-conductor layer of the taper section lower part of the 1st conductive layer. In this way, the impurity ranges 434–438 which lap with the 1st conductive layer are formed. The concentration of Lynn (P) added to this impurity range has the loose concentration gradient according to the thickness of the taper section of the 1st conductive layer. In addition, in the semi-conductor layer which laps with the taper section of the 1st conductive layer, although high impurity concentration is low a little toward the edge of the taper section of the 1st conductive layer to the inside, it is almost comparable concentration. Moreover, an impurity element is added by impurity ranges 423–427, and impurity ranges 439–443 are formed.

[0128] Subsequently, 3rd etching processing is performed, without removing the mask which consists of a resist. (Drawing 13 (A)) In this 3rd etching processing, the taper section of the 1st conductive layer is etched partially, and it is carried out in order to reduce the field which laps with a semi-conductor layer. The 3rd etching processing uses CHF₃ for etching gas, and is performed using a reactive-ion-etching method (the RIE method). Of the 3rd etching processing, the 1st conductive layer 444–449 is formed. At this time, an insulator layer 416 is also etched into coincidence and insulator layer 450 a–d and 451 are formed.

[0129] Of etching processing of the above 3rd, the impurity ranges (LDD field) 434a–438a which do not lap with the 1st conductive layer 444–448 are formed. In addition, impurity ranges (GOLD field) 434b–

438b have lapped with the 1st conductive layer 444-448.

[0130] By doing in this way, this example can make small the difference of the high impurity concentration in the impurity ranges (GOLD field) 434b-438b which lap with the 1st conductive layer 444-448, and the high impurity concentration in the impurity ranges (LDD field) 434a-438a which do not lap with the 1st conductive layer 444-448, and can raise dependability.

[0131] Subsequently, after removing the mask which consists of a resist, the masks 452-454 which newly consist of a resist are formed, and 3rd doping processing is performed. The impurity ranges 455-460 where the impurity element which gives a conductivity type (p mold) with said one reverse conductivity type (n mold) to the semi-conductor layer used as the barrier layer of the p channel mold TFT by this 3rd doping processing was added are formed. The 1st conductive layer 445 and 448 is used as a mask to an impurity element, the impurity element which gives p mold is added, and an impurity range is formed in self align. In this example, impurity ranges 455-460 are formed by the ion doping method for having used diboron hexahydride (B_2H_6). (Drawing 13 (B)) In the case of this 3rd doping processing, the semi-conductor layer which forms the n channel mold TFT is covered with the masks 452-454 which consist of a resist. Although Lynn is added by concentration different, respectively by the 1st doping processing and the 2nd doping processing in impurity ranges 455-460, in order to function as the source field and drain field of the p channel mold TFT, a problem is not produced at all by carrying out doping processing of the concentration of the impurity element which gives p mold also in which the field so that it may become $2 \times 10^{20} - 2 \times 10^{21}$ atoms/cm³. In this example, since it is exposed of a part of semi-conductor layer used as the barrier layer of the p channel mold TFT, it has the advantage which is easy to add an impurity element (boron).

[0132] An impurity range is formed in each semi-conductor layer at the process to the above.

[0133] Subsequently, the masks 452-454 which consist of a resist are removed, and the 1st interlayer insulation film 461 is formed. It forms by the insulator layer which sets thickness to 100-200nm, and contains silicon, using a plasma-CVD method or a spatter as this 1st interlayer insulation film 461. In this example, the oxidation silicon nitride film of 150nm of thickness was formed by the plasma-CVD method. Of course, the 1st interlayer insulation film 461 is not limited to an oxidation silicon nitride film, and may use the insulator layer containing other silicon as a monolayer or a laminated structure.

[0134] Subsequently, as shown in drawing 13 (C), the process which carries out activation of the impurity element added by each semi-conductor layer is performed. This activation process is performed by the heat annealing method for using a furnace annealing furnace. As a heat annealing method, the oxygen density performed 1 ppm or less of activation by 550 degrees C and heat treatment of 4 hours at this example that what is necessary is just to perform 400-700 degrees C at 500-550 degrees C typically in nitrogen-gas-atmosphere mind 0.1 ppm or less preferably. In addition, the laser annealing method or the rapid thermal annealing method (RTA law) other than the heat annealing method is applicable.

[0135] In addition, in this example, gettering is carried out to the impurity ranges 439, 441, 442, 455, and 458 where the nickel used as a catalyst at the above-mentioned activation and coincidence on the occasion of crystallization includes high-concentration Lynn, and the nickel concentration in the semi-conductor layer which mainly serves as a channel formation field is reduced. Thus, an OFF state current value falls, high electric field effect mobility is obtained from crystallinity being good, and TFT which has the produced channel formation field can attain a good property.

[0136] Moreover, activation may be performed before forming the 1st interlayer insulation film. However, when the used wiring material is weak with heat, it is desirable to perform activation, after forming an interlayer insulation film (the insulator layer which uses silicon as a principal component, for example, a silicon nitride film), in order to protect wiring etc. like this example.

[0137] Furthermore, in the ambient atmosphere containing 3 - 100% of hydrogen, heat treatment of 1 - 12 hours is performed at 300-550 degrees C, and the process which hydrogenates a semi-conductor layer is performed. In this example, 410 degrees C and heat treatment of 1 hour were performed for

hydrogen in about 3% of nitrogen-gas-atmosphere must include. This process is a process which carries out termination of the dangling bond of a semi-conductor layer by the hydrogen contained in an interlayer insulation film. As other means of hydrogenation, plasma hydrogenation (the hydrogen excited by the plasma is used) may be performed.

[0138] Moreover, when using the laser annealing method as activation, after performing the above-mentioned hydrogenation, it is desirable to irradiate laser light, such as an excimer laser and an YAG laser.

[0139] Subsequently, the 2nd interlayer insulation film 462 which consists of an inorganic insulator layer ingredient or an organic insulating material ingredient is formed on the 1st interlayer insulation film 461. In this example, although the acrylic resin film of 1.6 micrometers of thickness was formed, viscosity used preferably that by which unevenness is formed in a front face ten to 1000 cp using the thing of 40 - 200cp.

[0140] In this example, in order to prevent specular reflection, unevenness was formed in the front face of a pixel electrode by forming the 2nd interlayer insulation film with which unevenness is formed in a front face. Moreover, heights may be formed in the field of the lower part of a pixel electrode, in order to give irregularity to the front face of a pixel electrode and to plan light-scattering nature. In that case, since the same photo mask as formation of TFT can perform, formation of heights can be formed without the increment in a routing counter. In addition, what is necessary is just to prepare these heights suitably on wiring and the substrate of pixel section fields other than the TFT section. In this way, along with the unevenness formed in the front face of a wrap insulator layer, unevenness is formed in the front face of a pixel electrode in heights.

[0141] Moreover, the film in which a front face carries out flattening as the 2nd interlayer insulation film 462 may be used. In that case, after forming a pixel electrode, it is desirable by adding processes, such as the well-known sandblasting method and the etching method, making a front face irregularity-ize, preventing specular reflection, and scattering the reflected light to make a whiteness degree increase.

[0142] And in the drive circuit 506, the wiring 463-467 electrically connected with each impurity range, respectively is formed. In addition, patterning of the cascade screen of Ti film of 50nm of thickness and the alloy film (alloy film of aluminum and Ti) of 500nm of thickness is carried out, and these wiring forms it.

[0143] Moreover, in the pixel section 507, the pixel electrode 470, the gate wiring 469, and the connection electrode 468 are formed. (Drawing 14) The connection with as electric source wiring (laminating of 443b and 449) as Pixel TFT is formed with this connection electrode 468. Moreover, the connection with the as electric gate wiring 469 as the gate electrode of Pixel TFT is formed. Moreover, the connection with the as electric pixel electrode 470 as the semi-conductor layer 458 which the drain field 442 of Pixel TFT and electric connection are formed, and while forms retention volume further, and functions as an electrode is formed. Moreover, it is desirable to use the ingredient which was excellent in reflexivity, such as film which uses aluminum or Ag as a principal component, or those cascade screens, as a pixel electrode 470.

[0144] The pixel section 507 which has the CMOS circuit which consists of an n channel mold TFT501 and a p channel mold TFT502 as mentioned above and the drive circuit 506 which has the n channel mold TFT503, and a pixel TFT504 and retention volume 505 can be formed on the same substrate. In this way, a active-matrix substrate is completed.

[0145] The n channel mold TFT501 of the drive circuit 506 has the high concentration impurity range 439 which functions as low concentration impurity range 434b (GOLD field) which laps with the channel formation field 471 and the 1st conductive layer 444 which constitutes some gate electrodes, low concentration impurity range 434a (LDD field) formed in the outside of a gate electrode, a source field, or a drain field. It has the high concentration impurity range 455 which functions on the p channel mold TFT502 which connects with this n channel mold TFT501 and electrode 466, and forms a CMOS circuit as the channel formation field 472, the impurity range 457 which laps with a gate electrode, the impurity

range 456 formed in the outside of a gate electrode, a source field, or a drain field. Moreover, it has the high concentration impurity range 441 which functions on the n channel mold TFT503 as low concentration impurity range 436b (GOLD field) which laps with the channel formation field 473 and the 1st conductive layer 446 which constitutes some gate electrodes, low concentration impurity range 436a (LDD field) formed in the outside of a gate electrode, a source field, or a drain field.

[0146] In the pixel TFT504 of the pixel section, it has the high concentration impurity range 443 which functions as low concentration impurity range 437b (GOLD field) which laps with the channel formation field 474 and the 1st conductive layer 447 which constitutes some gate electrodes, low concentration impurity range 437a (LDD field) formed in the outside of a gate electrode, a source field, or a drain field. Moreover, the impurity element which gives p mold, respectively is added by the semi-conductor layers 458-460 which function as one electrode of retention volume 505. Retention volume 505 is formed by using an insulator layer 451 as a dielectric in an electrode (laminating of 448 and 432b), and the semi-conductor layers 458-460.

[0147] Moreover, without using a black matrix, the pixel structure of this example carries out arrangement formation of the edge of a pixel electrode so that the clearance between pixel inter-electrode may be shaded, and it may lap with source wiring.

[0148] The plan of the pixel section of the active-matrix substrate produced by this example is shown in drawing 15. In addition, the same sign is used for the part corresponding to drawing 12 - drawing 14. Chain-line A-A' in drawing 14 supports the sectional view cut by chain-line A-A' in drawing 15. Moreover, chain-line B-B' in drawing 14 supports the sectional view cut by chain-line B-B' in drawing 15.

[0149] Moreover, if the process shown by this example is followed, the number of photo masks required for production of a active-matrix substrate can be made into five sheets. Consequently, a process can be shortened and it can contribute to reduction of a manufacturing cost, and improvement in the yield.

[0150] [Example 4] this example explains below the process which produces a reflective mold liquid crystal display from the active-matrix substrate produced in the example 3. Drawing 16 is used for explanation.

[0151] First, after obtaining the active-matrix substrate of the condition of drawing 14 according to an example 3, on the active-matrix substrate of drawing 14, the orientation film 471 is formed on the pixel electrode 470 at least, and rubbing processing is performed. In addition, in this example, before forming the orientation film 471, the spacer (not shown) of the shape of a column for holding substrate spacing was formed in the desired location by carrying out patterning of the organic resin film, such as acrylic resin film. Moreover, it may replace with a column-like spacer and a spherical spacer may be sprinkled all over a substrate.

[0152] Subsequently, the opposite substrate 471 is prepared. Subsequently, the coloring layers 472 and 473 and the flattening film 474 are formed on the opposite substrate 471. The protection-from-light section is formed for the red coloring layer 472 and the blue coloring layer 473 in piles. Moreover, the protection-from-light section may be formed for a part of red coloring layer and green coloring layer in piles.

[0153] The substrate shown in an example 3 is used in this example. Therefore, it is necessary to shade the gate wiring 469, the gap of the pixel electrode 470, the gate wiring 469 and the gap of the connection electrode 468, and the gap of the connection electrode 468 and the pixel electrode 470 at least in drawing 15 which shows the plan of the pixel section of an example 3. In this example, each coloring layer is arranged so that the protection-from-light section which consists of a laminating of a coloring layer may lap with those locations that should shade, and the opposite substrate was stuck.

[0154] Thus, reduction of a routing counter was enabled by shading the clearance between each pixel in the protection-from-light section which consists of a laminating of a coloring layer, without forming protection-from-light layers, such as a black mask.

[0155] Subsequently, on the flattening film 474, the counterelectrode 475 which consists of

transparence electric conduction film was formed in the pixel section at least, the orientation film 476 was formed all over the opposite substrate, and rubbing processing was performed.

[0156] And the pixel section, the active-matrix substrate with which the drive circuit was formed, and an opposite substrate are stuck by the sealant 477. The filler is mixed in the sealant 477 and two substrates are stuck on it with uniform spacing by this filler and pillar-shaped spacer. Then, the liquid crystal ingredient 478 is poured in among both substrates, and it closes completely with encapsulant (not shown). What is necessary is just to use a well-known liquid crystal ingredient for the liquid crystal ingredient 478. In addition, since this example is a reflective mold, substrate spacing serves as one half extent from an example 1. Thus, the reflective mold liquid crystal display shown in drawing 16 is completed. And if there is need, a active-matrix substrate or an opposite substrate will be divided in a desired configuration. Furthermore, the polarizing plate (not shown) was stuck only on the opposite substrate. And FPC was stuck using the well-known technique.

[0157] The liquid crystal display panel produced as mentioned above can be used as a display of various electronic equipment.

[0158] [Example 5] this example explains the example which produced EL (electroluminescence) display using this invention. In addition, drawing 18 is the sectional view of EL display of this invention.

[0159] In drawing 18, the switching TFT603 prepared on the substrate 700 is formed using the n channel mold TFT503 of drawing 14. Therefore, just refer to the explanation of the n channel mold TFT503 for explanation of structure.

[0160] In addition, although considered as the double-gate structure where two channel formation fields are formed, in this example, you may be the single gate structure or the triple gate structure formed three where one channel formation field is formed.

[0161] The drive circuit (the n channel mold TFT601 and p channel mold TFT602) prepared on the substrate 700 is formed using the CMOS circuit of drawing 14. Therefore, just refer to the explanation of the n channel mold TFT501 and the p channel mold TFT502 for explanation of structure. In addition, although considered as single gate structure in this example, you may be double-gate structure or triple gate structure.

[0162] Moreover, in wiring 701 and 703, the source wiring of a CMOS circuit and 702 function as drain wiring. Moreover, wiring 704 functions as wiring which connects electrically source wiring 708 and the source field of Switching TFT, and wiring 705 functions as wiring which connects electrically the drain wiring 709 and the drain field of Switching TFT.

[0163] In addition, the current control TFT604 is formed using the p channel mold TFT502 of drawing 14. Therefore, just refer to the explanation of the p channel mold TFT502 for explanation of structure. In addition, although considered as single gate structure in this example, you may be double-gate structure or triple gate structure.

[0164] Moreover, wiring 706 is the source wiring (it is equivalent to a current supply source line) of the current control TFT, and 707 is an electrode electrically connected with the pixel electrode 710 by piling up on the pixel electrode 710 of the current control TFT.

[0165] In addition, 710 is a pixel electrode (anode plate of an EL element) which consists of transparence electric conduction film. As transparence electric conduction film, the compound of indium oxide and the tin oxide, the compound of indium oxide and a zinc oxide, a zinc oxide, the tin oxide, or indium oxide can be used. Moreover, what added the gallium may be used for said transparence electric conduction film. Before the pixel electrode 710 forms the above-mentioned wiring, it is formed on the flat interlayer insulation film 711. In this example, it is very important to carry out flattening of the level difference by TFT using the flattening film 711 which consists of resin. Since EL layer formed behind is very thin, poor luminescence may be caused when a level difference exists. Therefore, before forming a pixel electrode so that EL layer can be formed as much as possible in a flat side, it is desirable to carry out flattening.

[0166] After forming wiring 701-707, as shown in drawing 18, bank 712 is formed. Patterning of the

insulator layer or the organic resin film containing 100–400nm silicon is carried out, and bank 712 should just form it.

[0167] In addition, since bank 712 is an insulator layer, it needs cautions for the electrostatic discharge of the component at the time of membrane formation. In this example, into the insulator layer used as the ingredient of bank 712, a carbon particle metallurgy group particle is added, resistivity is lowered, and generating of static electricity is controlled. Under the present circumstances, resistivity should just adjust the addition of a carbon particle metallurgy group particle so that it may become $1 \times 10^6 - 1 \times 10^{12}$ ohm-m (preferably $1 \times 10^8 - 1 \times 10^{10}$ ohm-m).

[0168] The EL layer 713 is formed on the pixel electrode 710. In addition, although only 1 pixel is illustrated in drawing 18, EL layer corresponding to each color of R (red), G (green), and B (blue) is made and divided in this example. Moreover, in this example, the low-molecular system organic electroluminescence ingredient is formed with vacuum deposition. It is considering as the laminated structure which prepared the copper-phthalocyanine (CuPc) film of 20nm thickness as a hole-injection layer, and specifically prepared the tris-8-quinolinolato aluminum complex (Alq3) film of 70nm thickness as a luminous layer on it. The luminescent color is controllable by adding fluorochromes, such as Quinacridone, perylene, or DCM1, to Alq3.

[0169] However, the above example is an example of the organic electroluminescence ingredient which can be used as an EL layer, and there is no need of limiting to this. What is necessary is just to form EL layer (layer for moving luminescence and the carrier for it), combining freely a luminous layer, a charge transportation layer, or a charge impregnation layer. For example, although this example showed the example which uses a low-molecular system organic electroluminescence ingredient as an EL layer, a macromolecule system organic electroluminescence ingredient may be used. Moreover, it is also possible to use inorganic materials, such as silicon carbide, as a charge transportation layer or a charge impregnation layer. These organic electroluminescence ingredients and inorganic materials can use a well-known ingredient.

[0170] Next, on the EL layer 713, the cathode 714 which consists of electric conduction film is formed. In the case of this example, the alloy film of aluminum and a lithium is used as electric conduction film. Of course, the well-known MgAg film (alloy film of magnesium and silver) may be used. What is necessary is just to use the electric conduction film which added the electric conduction film which consists of an element belonging to one group of a periodic table, or two groups as a cathode material, or those elements.

[0171] When formed to this cathode 714, EL element 715 is completed. In addition, EL element 715 here points out the capacitor formed in the pixel electrode (anode plate) 710, the EL layer 713, and cathode 714.

[0172] It is effective to form the passivation film 716, as EL element 715 is covered completely. It consists of an insulator layer containing a carbon film, a silicon nitride film, or the nitriding oxidation silicon film as passivation film 716, and this insulator layer is used in a monolayer or the combined laminating.

[0173] Under the present circumstances, it is desirable to use the good film of coverage as passivation film, and it is effective to use a carbon film, especially the DLC (diamond-like carbon) film. Since the DLC film can be formed from a room temperature in a temperature requirement 100 degrees C or less, it can be easily formed also above the heat-resistant low EL layer 713. Moreover, the DLC film has the high blocking effectiveness over oxygen, and it is possible to control oxidation of the EL layer 713. Therefore, while performing the closure process which continues next, the problem that the EL layer 713 oxidizes can be prevented.

[0174] Furthermore, a sealing agent 717 is formed on the passivation film 716, and the covering material 718 is stuck. It is effective to prepare in the interior the matter which has the matter or the antioxidizing effectiveness of having the moisture absorption effectiveness that what is necessary is just to use ultraviolet-rays hardening resin as a sealing agent 717. Moreover, in this example, the covering

material 718 uses the thing in which the carbon film (preferably diamond-like carbon film) was formed to both sides of a glass substrate, a quartz substrate, or a plastic plate (plastic film is also included).

[0175] In this way, EL display of structure as shown in drawing 18 is completed. In addition, after forming bank 712, it is effective to process continuously a process until it forms the passivation film 716 using the membrane formation equipment of a multi chamber method (or in-line method), without carrying out atmospheric-air release. Furthermore, it is also possible to process continuously, without carrying out atmospheric-air release even of the process which is developed and sticks the covering material 718.

[0176] In this way, the n channel mold 601 and TFT 602, switching TFT(n channel mold TFT) 603, and the current control TFT(n channel mold TFT) 604 are formed on the insulator 700 which uses a plastic plate as a parent. There are few masks needed by the production process so far than a common active-matrix mold EL display.

[0177] That is, the production process of TFT is simplified sharply and improvement in the yield and reduction of a manufacturing cost can be realized.

[0178] Furthermore, as explained using drawing 14, the n channel mold TFT strong against degradation resulting from a hot carrier effect can be formed by preparing the impurity range which laps with a gate electrode through an insulator layer. Therefore, reliable EL display is realizable.

[0179] Moreover, although this example shows only the configuration of the pixel section and a drive circuit, if the production process of this example is followed, logical circuits, such as a signal dividing network, a D/A converter, an operational amplifier, and a gamma correction circuit, can be formed on the same insulator, and memory and a microprocessor can also be formed further.

[0180] Furthermore, EL luminescence equipment of this example after going to the closure (or enclosure) process for protecting an EL element is explained using drawing 19. In addition, the sign used by drawing 18 if needed is quoted.

[0181] The plan showing the condition that drawing 19 (A) performed even the closure of an EL element, and drawing 19 (B) are the sectional views which cut drawing 19 (A) by A-A'. As for a source side drive circuit and 806, 801 shown by the dotted line is [the pixel section and 807] gate side drive circuits. Moreover, as for 901, a sealing agent 907 is formed in the inside by which the 1st sealant and 903 are the 2nd sealant, and were surrounded by the 1st sealant 902, as for covering material and 902.

[0182] In addition, 904 is wiring for transmitting the signal inputted into the source side drive circuit 801 and the gate side drive circuit 807, and receives a video signal and a clock signal from FPC (flexible print circuit)905 used as an external input terminal. In addition, although only FPC is illustrated here, the printed-circuit base (PWB) may be attached in this FPC. Not only the body of EL display but the condition that FPC or PWB was attached in it shall be included in EL display in this specification.

[0183] Next, cross-section structure is explained using drawing 19 (B). The pixel section 806 and the gate side drive circuit 807 are formed above the substrate 700, and the pixel section 806 is formed of two or more pixels containing the pixel electrode 710 electrically connected to the current control TFT604 and its drain. Moreover, the gate side drive circuit 807 is formed using the CMOS circuit (refer to drawing 14) which combined the n channel mold TFT601 and the p channel mold TFT602.

[0184] The pixel electrode 710 functions as an anode plate of an EL element. Moreover, bank 712 is formed in the both ends of the pixel electrode 710, and the EL layer 713 and the cathode 714 of an EL element are formed on the pixel electrode 710.

[0185] Cathode 714 functions also as wiring common to all pixels, and is electrically connected to FPC905 via the connection wiring 904. Furthermore, all the components contained in the pixel section 806 and the gate side drive circuit 807 are covered by cathode 714 and the passivation film 716.

[0186] Moreover, the covering material 901 is stuck by the 1st sealant 902. In addition, in order to secure spacing of the covering material 901 and an EL element, the spacer which consists of resin film may be formed. And it fills up with the sealing agent 907 inside the 1st sealant 902. In addition, it is desirable to use epoxy system resin as the 1st sealant 902 and a sealing agent 907. Moreover, as for the 1st sealant 902, it is desirable that it is the ingredient which penetrates neither moisture nor oxygen as

much as possible. Furthermore, the matter which has the moisture absorption effectiveness in the interior of a sealing agent 907, and the matter with the antioxidizing effectiveness may be made to contain.

[0187] The sealing agent 907 prepared as covered the EL element functions also as adhesives for pasting up the covering material 901. Moreover, FRP (Fiberglass-Reinforced Plastics), PVF (polyvinyl fluoride), a Mylar, polyester, or an acrylic can be used as an ingredient of plastic plate 901a which constitutes the covering material 901 from this example.

[0188] moreover, the side face (disclosure side) of the sealing agent 907 after pasting up the covering material 901 using a sealing agent 907 — a wrap — the 2nd sealant 903 is formed like. The 2nd sealant 903 can use the same ingredient as the 1st sealant 902.

[0189] By enclosing an EL element with a sealing agent 907 with the above structures, an EL element can be completely intercepted from the outside and it can protect from the exterior that the matter to which degradation by oxidation of EL layers, such as moisture and oxygen, is urged invades. Therefore, reliable EL display is obtained.

[0190] TFT formed by carrying out [example 6] above-mentioned each example 1 thru/or any 1 of 5 can be used for various electro-optic devices (an active matrix liquid crystal display, a active-matrix mold EL display, active-matrix mold EC display). That is, this invention can be carried out on all the electronic equipment that built these electro-optic devices into the display.

[0191] As such electronic equipment, a video camera, a digital camera, a projector, a head mount display (goggles mold display), car navigation, a car stereo, a personal computer, Personal Digital Assistants (a mobile computer, a cellular phone, or digital book), etc. are mentioned. Those examples are shown in drawing 20 , drawing 21 , and drawing 22 .

[0192] Drawing 20 (A) is a personal computer and contains a body 2001, the image input section 2002, a display 2003, and keyboard 2004 grade. This invention is applicable to a display 2003.

[0193] Drawing 20 (B) is a video camera and contains a body 2101, a display 2102, the voice input section 2103, the actuation switch 2104, a dc-battery 2105, and television section 2106 grade. This invention is applicable to a display 2102.

[0194] Drawing 20 (C) is a mobile computer (Mobile computer), and contains a body 2201, the camera section 2202, the television section 2203, the actuation switch 2204, and display 2205 grade. This invention is applicable to a display 2205.

[0195] Drawing 20 (D) is a goggles mold display, and contains a body 2301, a display 2302, and arm section 2303 grade. This invention is applicable to a display 2302.

[0196] Drawing 20 (E) is a player using the record medium (it is hereafter called a record medium) which recorded the program, and contains a body 2401, a display 2402, the loudspeaker section 2403, a record medium 2404, and actuation switch 2405 grade. In addition, this player can use music appreciation, movie appreciation, a game, and the Internet, using DVD (Digital Versatile Disc), CD, etc. as a record medium. This invention is applicable to a display 2402.

[0197] Drawing 20 (F) is a digital camera and contains a body 2501, a display 2502, an eye contacting part 2503, the actuation switch 2504, the television section (not shown), etc. This invention is applicable to a display 2502.

[0198] Drawing 21 (A) is a front mold projector, and contains a projection device 2601 and screen 2602 grade. This invention is applicable to the drive circuit of a liquid crystal display 2808 or others which constitutes some projection devices 2601.

[0199] Drawing 21 (B) is a rear mold projector, and contains a body 2701, a projection device 2702, a mirror 2703, and screen 2704 grade. This invention is applicable to the drive circuit of a liquid crystal display 2808 or others which constitutes some projection devices 2702.

[0200] In addition, drawing 21 (C) is drawing having shown an example of the structure of the projection devices 2601 and 2702 in drawing 21 (A) and drawing 21 (B). Projection devices 2601 and 2702 consist of the light source optical system 2801, mirrors 2802, 2804-2806, a dichroic mirror 2803, prism 2807, a

liquid crystal display 2808, a phase contrast plate 2809, and an incident light study system 2810. The incident light study system 2810 consists of optical system containing a projector lens. Although this example showed the example of a 3 plate type, it may not be limited especially, for example, may be a veneer type. Moreover, an operation person may prepare suitably the optical system of an optical lens, the film which has a polarization function, the film for adjusting phase contrast, IR film, etc., etc. in the optical path shown by the arrow head in drawing 21 (C).

[0201] Moreover, drawing 21 (D) is drawing having shown an example of the structure of the light source optical system 2801 in drawing 21 (C). The light source optical system 2801 is constituted from this example by a reflector 2811, the light source 2812, the lens arrays 2813 and 2814, the polarization sensing element 2815, and the condenser lens 2816. In addition, the light source optical system shown in drawing 21 (D) is especially an example, and is not limited. For example, an operation person may prepare suitably the optical system of an optical lens, the film which has a polarization function, the film which adjusts phase contrast, IR film, etc. in light source optical system.

[0202] However, in the projector shown in drawing 21, the case where the electro-optic device of a transparency mold is used is shown, and the example of application in the electro-optic device and EL display of a reflective mold is not illustrated.

[0203] Drawing 22 (A) is a cellular phone and contains a body 2901, the voice output section 2902, the voice input section 2903, a display 2904, the actuation switch 2905, and antenna 2906 grade. This invention is applicable to a display 2904.

[0204] Drawing 22 (B) is pocket books (digital book), and contains a body 3001, displays 3002 and 3003, a storage 3004, the actuation switch 3005, and antenna 3006 grade. This invention is applicable to displays 3002 and 3003.

[0205] Drawing 22 (C) is a display and contains a body 3101, susceptor 3102, and display 3103 grade. This invention is applicable to a display 3103. Especially the display of this invention is advantageous when it big-screen-izes, and it is advantageous to the display of 10 inches or more (especially 30 inches or more) of vertical angles.

[0206] The display incidentally shown in drawing 22 (C) is a minor mold or a large-sized thing, for example, a thing with a screen size of 5-20 inches. Moreover, in order to form the display of such size, it is desirable that one side of a substrate mass-produces by performing multiple picking using what is 1m.

[0207] As mentioned above, the applicability of this invention is very wide, and applying to the electronic equipment of all fields is possible. Moreover, even if the electronic equipment of this example uses the configuration which consists of combination like an example 1 - 5 throats, it is realizable.

[0208]

[Effect of the Invention] The width of face of the low concentration impurity range (GOLD field) in this invention which laps with a gate electrode according to the etching conditions of the 3rd etching processing, and the width of face of the low concentration impurity range (LDD field) which does not lap with a gate electrode can be adjusted freely. Moreover, most concentration differences in that of the GOLD field of TFT and a LDD field which was formed of this invention are not produced. Therefore, while relaxation of electric-field concentration is attained and prevention by the hot carrier can do the GOLD field which has lapped with the gate electrode, the LDD field which has not lapped with the gate electrode can hold down an OFF state current value.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

- [Drawing 1] It is drawing showing the production process of TFT.
- [Drawing 2] It is drawing showing the production process of TFT.
- [Drawing 3] It is the curve which shows concentration distribution of an impurity element.
- [Drawing 4] It is the structure illustration used by the simulation.
- [Drawing 5] It is the graph of a simulation result (phosphorus dope).
- [Drawing 6] It is the graph of a simulation result (the electrical potential difference/current characteristic of TFT).
- [Drawing 7] It is drawing showing the production process of AM-LCD.
- [Drawing 8] It is drawing showing the production process of AM-LCD.
- [Drawing 9] It is drawing showing the production process of AM-LCD.
- [Drawing 10] It is cross-section structural drawing of a transparency mold liquid crystal display.
- [Drawing 11] It is the external view of a liquid crystal panel.
- [Drawing 12] It is drawing showing the production process of AM-LCD.
- [Drawing 13] It is drawing showing the production process of AM-LCD.
- [Drawing 14] It is drawing showing the production process of AM-LCD.
- [Drawing 15] It is a pixel plan.
- [Drawing 16] It is cross-section structural drawing of a reflective mold liquid crystal display.
- [Drawing 17] It is a pixel plan in a production process.
- [Drawing 18] Drawing showing the configuration of a active-matrix mold EL display.
- [Drawing 19] Drawing showing the configuration of a active-matrix mold EL display.
- [Drawing 20] Drawing showing an example of electronic equipment.
- [Drawing 21] Drawing showing an example of electronic equipment.
- [Drawing 22] Drawing showing an example of electronic equipment.

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-50636

(P2002-50636A)

(43) 公開日 平成14年2月15日 (2002.2.15)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード [*] (参考)
H 0 1 L 21/336		G 0 2 F 1/1343	2 H 0 9 2
G 0 2 F 1/1343		1/1368	4 M 1 0 4
1/1368		G 0 9 F 9/00	3 3 8 5 C 0 9 4
G 0 9 F 9/00	3 3 8		3 4 2 Z 5 F 0 0 4
	3 4 2	9/30	3 3 8 5 F 0 4 8

審査請求 未請求 請求項の数17 O L (全 29 頁) 最終頁に続く

(21) 出願番号 特願2001-143714(P2001-143714)
(22) 出願日 平成13年5月14日 (2001.5.14)
(31) 優先権主張番号 特願2000-140695(P2000-140695)
(32) 優先日 平成12年5月12日 (2000.5.12)
(33) 優先権主張国 日本 (J P)

(71) 出願人 000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地
(72) 発明者 須沢 英臣
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内
(72) 発明者 小野 幸治
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内
(72) 発明者 高山 徹
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

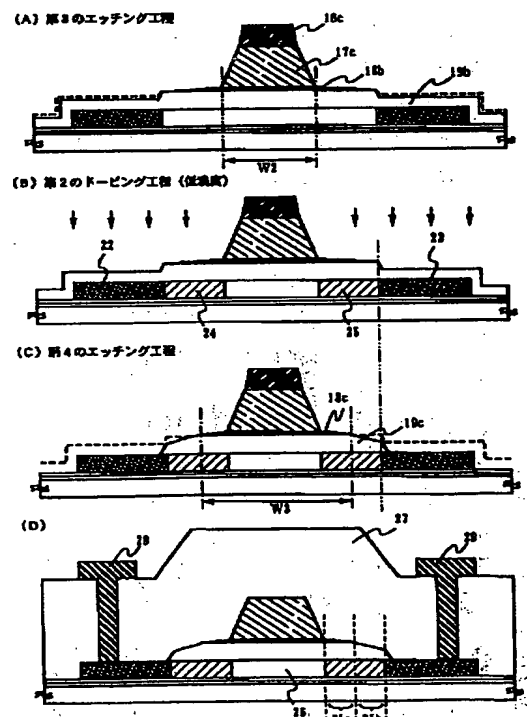
最終頁に続く

(54) 【発明の名称】 半導体装置およびその作製方法

(57) 【要約】

【課題】 従来では、LDD構造を備えたTFTやGO LD構造を備えたTFTを形成しようとする、その製造工程が複雑なものとなり工程数が増加してしまう問題があった。

【解決手段】 第2のドーピング工程によって低濃度不純物領域24、25を形成した後、第4のエッチング工程を行うことによって、第3の電極18cに重なる低濃度不純物領域の幅と、第3の電極に重ならない低濃度不純物領域の幅とを自由に調節できる。こうして、第3の電極18cと重なっている領域は、電界集中の緩和が達成されてホットキャリアによる防止ができるとともに、第3の電極18cと重なっていない領域は、オフ電流値を抑えることができる。



BEST AVAILABLE COPY

(2)

【特許請求の範囲】

【請求項1】絶縁表面上に形成された半導体層と、該半導体層上に形成された絶縁膜と、該絶縁膜上に形成されたゲート電極とを含む半導体装置であって、前記ゲート電極は、第1の幅を有する第1の導電層を下層とし、前記第1の幅より狭い第2の幅を有する第2の導電層を上層とする積層構造を有し、前記半導体層は、前記第2の導電層と重なるチャネル形成領域と、前記第1の導電層と一部重なる低濃度不純物領域と、高濃度不純物領域からなるソース領域及びドレイン領域とを有していることを特徴とする半導体装置。

【請求項2】請求項1において、前記低濃度不純物領域は、前記チャネル形成領域と前記ソース領域の間、または前記チャネル形成領域と前記ドレイン領域との間に存在することを特徴とする半導体装置。

【請求項3】請求項1または請求項2において、前記第1の導電層の端部は、テーパ形状であることを特徴とする半導体装置。

【請求項4】請求項1乃至3のいずれかにおいて、前記第1の導電層の端部は、前記チャネル形成領域と前記ソース領域の間、または前記チャネル形成領域と前記ドレイン領域との間に前記絶縁膜を介して存在することを特徴とする半導体装置。

【請求項5】請求項1乃至4のいずれかにおいて、前記絶縁膜のうち、前記低濃度不純物領域と重なる領域の膜厚は、チャネル形成領域から遠ざかるにつれて薄くなっていることを特徴とする半導体装置。

【請求項6】請求項1乃至5のいずれかに記載された半導体装置とは、液晶表示装置であることを特徴とする半導体装置。

【請求項7】請求項1乃至5のいずれかに記載された半導体装置とは、EL表示装置であることを特徴とする半導体装置。

【請求項8】請求項1乃至7のいずれかに記載された半導体装置とは、ビデオカメラ、デジタルカメラ、プロジェクター、ゴーグル型ディスプレイ、カーナビゲーション、パーソナルコンピュータ、携帯型情報端末、デジタルビデオディスクプレーヤー、または電子遊技機器であることを特徴とする半導体装置。

【請求項9】絶縁表面上に半導体層を形成する第1の工程と、

前記半導体層上に絶縁膜を形成する第2の工程と、

前記絶縁膜上に、第1の幅を有する第1の導電層と、第2の導電層との積層からなる第1の電極を形成する第3の工程と、

前記第1の電極をマスクとして、前記半導体層に不純物元素を添加して高濃度不純物領域を形成する第4の工程と、

前記第2の導電層をエッチングして、前記第1の幅を有する第1の導電層と、第2の幅を有する第2の導電層と

の積層からなる第2の電極を形成する第5の工程と、前記第2の導電層をマスクとして、前記半導体層に不純物元素を添加して低濃度不純物領域を形成する第6の工程と、

前記第1の導電層をエッチングして、第3の幅を有する第1の導電層と、前記第2の幅を有する第2の導電層との積層からなる第3の電極を形成する第7の工程と、を有する半導体装置の作製方法。

【請求項10】請求項9において、前記第2の幅は、前記第1の幅より狭いことを特徴とする半導体装置の作製方法。

【請求項11】請求項9または請求項10において、前記第3の幅は、前記第1の幅より狭く、且つ、前記第2の幅より広いことを特徴とする半導体装置の作製方法。

【請求項12】請求項9乃至11のいずれかにおいて、前記不純物元素は、半導体層にn型またはp型を付与する不純物元素であることを特徴とする半導体装置の作製方法。

【請求項13】請求項9乃至12のいずれかにおいて、前記第1の電極において、前記第1の導電層の端部におけるテーパ角は、前記第2の導電層の端部におけるテーパ角より大きいことを特徴とする半導体装置の作製方法。

【請求項14】請求項9乃至13のいずれかにおいて、前記第2の電極において、前記第1の導電層の端部におけるテーパ角は、前記第2の導電層の端部におけるテーパ角より小さいことを特徴とする半導体装置の作製方法。

【請求項15】請求項9乃至14のいずれかにおいて、前記第3の電極における前記第1の導電層のテーパ角は、前記第2の電極における前記第1の導電層のテーパ角と同じであることを特徴とする半導体装置の作製方法。

【請求項16】請求項9乃至15のいずれかにおいて、前記第3の工程は、前記絶縁膜上に、第1の導電膜と第2の導電膜を積層形成した後、前記第1の導電膜に第1のエッチング処理を行って第2の導電層を形成し、前記第2の導電膜に第2のエッチング処理を行って第1の導電層を形成して、第1の幅を有する第1の導電層と、第2の導電層との積層からなる第1の電極を形成したことを特徴とする半導体装置の作製方法。

【請求項17】請求項9乃至16のいずれかにおいて、前記第7の工程と同時に前記絶縁膜を除去して高濃度不純物領域の一部を露呈することを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は薄膜トランジスタ（以下、TFTという）で構成された回路を有する半導体装置およびその作製方法に関する。例えば、液晶表示

(3)

3

パネル、EL（エレクトロルミネッセンス）表示装置、EC表示装置等に代表される電気光学装置およびその様な電気光学装置を部品として搭載した電子機器に関する。

【0002】なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【0003】

【従来の技術】近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数〜数百nm程度）を用いて薄膜トランジスタ（TFT）を構成し、このTFTで形成した大面積集積回路を有する半導体装置の開発が進んでいる。アクティブマトリクス型液晶表示装置、EL表示装置、および密着型イメージセンサはその代表例として知られている。特に、結晶質シリコン膜（典型的にはポリシリコン膜）を活性層にしたTFT（以下、ポリシリコンTFTと記す）は電界効果移動度が高いことから、いろいろな機能回路を形成することも可能である。

【0004】例えば、アクティブマトリクス型液晶表示装置には、機能ブロックごとに画像表示を行う画素回路や、CMOS回路を基本としたシフトレジスタ回路、レベルシフト回路、バッファ回路、サンプリング回路などの画素回路を制御するための駆動回路が一枚の基板上に形成される。

【0005】アクティブマトリクス型液晶表示装置の画素回路には、数十から数百万個の各画素にTFT（画素TFT）が配置され、その画素TFTのそれぞれには画素電極が設けられている。液晶を挟んだ対向基板側には対向電極が設けられており、液晶を誘電体とした一種のコンデンサを形成している。そして、各画素に印加する電圧をTFTのスイッチング機能により制御して、このコンデンサへの電荷を制御することで液晶を駆動し、透過光量を制御して画像を表示する仕組みになっている。

【0006】画素TFTはnチャネル型TFTから成り、スイッチング素子として液晶に電圧を印加して駆動させるものである。液晶は交流で駆動させるので、フレーム反転駆動と呼ばれる方式が多く採用されている。この方式では消費電力を低く抑えるために、画素TFTに要求される特性はオフ電流値（TFTがオフ動作時に流れるドレイン電流）を十分低くすることが重要である。

【0007】オフ電流値を低減するためのTFTの構造として、低濃度ドレイン（LDD：Lightly Doped Drain）構造が知られている。この構造はチャネル形成領域と、高濃度に不純物元素を添加して形成するソース領域またはドレイン領域との間に低濃度に不純物元素を添加した領域を設けたものであり、この領域をLDD領域と呼んでいる。また、ホットキャリアによるオン電流値の劣化を防ぐための手段として、ゲート絶縁膜を介してLDD領域をゲート電極と重ねて配置させた、いわゆるG

4

OLD（Gate-drain Overlapped LDD）構造が知られている。このような構造とすることで、ドレイン近傍の高電界が緩和されてホットキャリア注入を防ぎ、劣化現象の防止に有効であることが知られている。

【0008】また、GOLD構造はオン電流値の劣化を防ぐ効果は高いが、その反面、通常のLDD構造と比べてオフ電流値が大きくなってしまいう問題があった。従って、画素TFTに適用するには好ましい構造ではなかった。逆に通常のLDD構造はオフ電流値を抑える効果は高いが、ドレイン近傍の電界を緩和してホットキャリア注入による劣化を防ぐ効果は低かった。このように、アクティブマトリクス型液晶表示装置のような複数の集積回路を有する半導体装置において、このような問題点は、特に結晶質シリコンTFTにおいて、その特性が高まり、またアクティブマトリクス型液晶表示装置に要求される性能が高まるほど顕在化してきた。

【0009】

【発明が解決しようとする課題】従来では、LDD構造を備えたTFTやGOLD構造を備えたTFTを形成しようすると、その製造工程が複雑なものとなり工程数が増加してしまう問題があった。工程数の増加は製造コストの増加要因になるばかりか、製造歩留まりを低下させる原因となることは明らかである。

【0010】本発明はこのような問題点を解決するための技術であり、TFTを用いて作製するアクティブマトリクス型の液晶表示装置に代表される電気光学装置ならびに半導体装置において、半導体装置の動作特性および信頼性を向上させ、かつ、低消費電力化を図ると共に、工程数を削減して製造コストの低減および歩留まりの向上を実現することを目的としている。

【0011】

【課題を解決するための手段】製造コストの低減および歩留まりの向上を実現するためには、工程数を削減することが一つの手段として考えられる。具体的には、TFTの製造に要するフォトリソグラフィの枚数を削減する。フォトリソグラフィはフォトリソグラフィーの技術において、エッチング工程際、マスクとするレジストパターンを基板上に形成するために用いる。従って、フォトリソグラフィを1枚使用することは、その前後の工程において、被膜の成膜およびエッチングなどの工程の他に、レジスト剥離、洗浄や乾燥工程などが付加され、フォトリソグラフィーの工程においても、レジスト塗布、プレバーク、露光、現像、ポストバークなどの煩雑な工程が行われることを意味する。

【0012】本発明は、フォトリソグラフィの枚数を従来より削減し、以下に示すような作製工程でTFTを作製することを特徴としている。なお、本発明の作製方法の一例を図1及び図2に示した。

【0013】本明細書で開示する本発明の作製方法は、絶縁表面上に半導体層12を形成する第1の工程と、前

(4)

5

記半導体層上に絶縁膜13を形成する第2の工程と、前記絶縁膜13上に、第1の幅(W1)を有する第1の導電層18aと、第2の導電層17bとの積層からなる第1の電極を形成する第3の工程と、前記第1の電極をマスクとして、前記半導体層12に不純物元素を添加して高濃度不純物領域20、21を形成する第4の工程と、前記第2の導電層17bをエッチングして、前記第1の幅(W1)を有する第1の導電層18bと、第2の幅(W2)を有する第2の導電層17cとの積層からなる第2の電極を形成する第5の工程と、前記第2の導電層をマスクとして、前記半導体層に不純物元素を添加して低濃度不純物領域24、25を形成する第6の工程と、前記第1の導電層18bをエッチングして、第3の幅(W3)を有する第1の導電層18cと、前記第2の幅(W2)を有する第2の導電層17cとの積層からなる第3の電極を形成する第7の工程と、を有する半導体装置の作製方法である。

【0014】上記作製方法において、第1の導電膜及び第2の導電膜を形成する材料としては、耐熱性導電性材料を用い、代表的にはタングステン(W)、タンタル(Ta)、チタン(Ti)から選ばれた元素、または前記元素を成分とする化合物或いは合金から形成する。

【0015】また、上記第3の工程において、第1の電極の形状は、端部において、端部から内側に向かって徐々に厚さが増加する形状、いわゆるテーパ形状とする。

【0016】耐熱性導電性材料からなる第1の導電膜及び第2の導電膜を高速でかつ精度良くエッチングして、さらに端部をテーパ形状とするためには、高密度プラズマを用いたドライエッチング法を適用する。高密度プラズマを得る手法にはマイクロ波や誘導結合プラズマ(Inductively Coupled Plasma: ICP)を用いたエッチング装置が適している。特に、ICPエッチング装置はプラズマの制御が容易であり、処理基板の面積化にも対応できる。

【0017】ICPを用いたプラズマ処理方法やプラズマ処理装置に関しては特開平9-293600号公報で開示されている。同公報では、プラズマ処理を高精度に行うための手段として、高周波電力をインピーダンス整合器を介して4本の渦巻き状コイル部分が並列に接続されてなるマルチスパイラルコイルに印加してプラズマを形成する方法を用いている。ここで、各コイル部分の1本当たりの長さは、高周波の波長の1/4倍としている。さらに、被処理物を保持する下部電極にも、別途高周波電力を印加してバイアス電圧を付加する構成としている。

【0018】このようなマルチスパイラルコイルを適用したICPを用いたエッチング装置を用いると、テーパ部の角度(テーパ角)は基板側にかかるバイアス電力によって大きく変化を示し、バイアス電力をさらに高

6

め、また、圧力を変化させることによりテーパ部の角度を $5^{\circ} \sim 45^{\circ}$ まで変化させることができる。

【0019】また、上記第4の工程において、高濃度不純物領域20、21を自己整合的に形成するために、イオン化した不純物元素を、電界で加速してゲート絶縁膜(本発明では、第1の電極と半導体層とに密接してその両者の間に設けられる絶縁膜と、該絶縁膜からその周辺の領域に延在する絶縁膜を含めてゲート絶縁膜と称する)を通過させて、半導体層に添加する方法を用いる。本明細書中において、この不純物元素の添加方法を便宜上「スルードープ法」と呼ぶ。

【0020】なお、本明細書において、不純物元素とは、半導体にn型を付与する不純物元素(リン、ヒ素)またはp型を付与する不純物元素(ボロン)のことを指している。

【0021】また、上記第5の工程により、ICPを用いたエッチング装置を用いて、第2の導電層を選択的にエッチングして、前記第2の電極を構成する第2の導電層17cの第2の幅(W2)を、前記第1の幅(W1)より狭くする。また、前記第2の電極における前記第1の導電層の端部におけるテーパ角は、前記第2の導電層の端部におけるテーパ角より小さくする。

【0022】本発明は、このような形状の第2の電極とすることによって、前記第6の工程でスルードープ法を用い、第2の電極を構成する第1の導電層のテーパ形状となっている部分(テーパ部)の下方に存在する半導体層に、不純物元素の濃度がチャネル形成領域から遠ざかるにつれて連続的に高くなる低濃度不純物領域24、25を自己整合的に形成することを特徴としている。ただし、連続的に高くなっているといっても、低濃度不純物領域における濃度差は、ほとんど生じていない。

【0023】このように緩やかな濃度勾配を有する低濃度不純物領域24、25を自己整合的に形成するために、イオン化した不純物元素を、電界で加速して第2の電極を構成する第1の導電層のテーパ部とゲート絶縁膜を通過させて、半導体層に添加する。こうして、第2の電極を構成する第1の導電層のテーパ部にスルードープ法を行うことで、第1の導電層のテーパ部の厚さによって、半導体層に添加される不純物元素の濃度を制御することが可能となり、TFETのチャネル長方向に渡って不純物元素の濃度が徐々に変化する低濃度不純物領域24、25を形成することができる。

【0024】なお、上記スルードープを行った第6の工程直後において、低濃度不純物領域24、25は、ゲート絶縁膜を介して第2の電極を構成する第1の導電層のテーパ部と重なっている。

【0025】また、上記第7の工程により、第1の導電層のテーパ部を選択的にエッチングする。第7の工程のエッチングは、RIE法を用いたエッチングであり、

(5)

7

第3の工程及び第5の工程で用いたエッチング方法と異なっている。ただし、RIE法に限定されず、適宜、条件を選択すればICP方式のドライエッチング装置を用いて行うことも可能であり、ICP法を用いた後にRIE法を用いるエッチングを行うことも可能である。この第7の工程により、前記第3の電極における前記第1の導電層のテーパ角は、前記第2の電極における前記第1の導電層のテーパ角とほぼ同じとなる。また、前記第3の幅(W3)は、前記第1の幅(W1)より狭く、且つ、前記第2の幅(W2)より広くする。また、前記第7の工程と同時に前記絶縁膜が除去されて高濃度不純物領域の一部が露呈する。

【0026】なお、上記7の工程直後において、低濃度不純物領域は、ゲート絶縁膜を介して第3の電極を構成する第1の導電層のテーパ部と重なる領域25aと、ゲート絶縁膜を介して第3の電極を構成する第1の導電層のテーパ部と重ならない領域25bとに区別することができる。

【0027】また、第3の幅(W3)は、エッチング条件を適宜変更することで自由に調節できる。従って、本発明は、上記第7の工程におけるエッチング条件を適宜変更することで、第3の電極に重なる低濃度不純物領域の幅と、第3の電極に重ならない低濃度不純物領域の幅とを自由に調節できる。ただし、低濃度不純物領域は、この第3の電極の幅に関係なく、緩やかな濃度勾配を有しており、第3の電極と重なっている領域は、電界集中の緩和が達成されてホットキャリアによる防止ができるとともに、第3の電極と重なっていない領域は、オフ電流値を抑えることができる。

【0028】上記作製方法において、第1の工程に第1のフォトリソグラフィ工程を行い、第3の工程に第2のフォトリソグラフィ工程を行っているが、その他の工程(第4～第7の工程)では、第2のフォトリソグラフィ工程で使用したレジストマスクをそのまま使用しているため、フォトリソグラフィ工程を行っていない。

【0029】従って、上記第7の工程の後、形成される層間絶縁膜にコンタクトホールを形成のための第3のフォトリソグラフィ工程と、半導体層に達するソース電極またはドレイン電極を形成するための第4のフォトリソグラフィ工程を行うことで、TFTを作製することができる。

【0030】このようにフォトマスク数を削減しながらも、本発明はTFT構成を適切なものとすることができた。本発明の構成を以下に示す。

【0031】本明細書に開示する本発明は、絶縁表面上に形成された半導体層と、該半導体層上に形成された絶縁膜と、該絶縁膜上に形成されたゲート電極とを含む半導体装置であって、前記ゲート電極は、第1の幅(図2中、W3に相当する)を有する第1の導電層を下層と

8

し、前記第1の幅より狭い第2の幅(図2中、W2に相当する)を有する第2の導電層を上層とする積層構造を有し、前記半導体層は、前記第2の導電層と重なるチャネル形成領域と、前記第1の導電層と一部重なる低濃度不純物領域と、高濃度不純物領域からなるソース領域及びドレイン領域とを有していることを特徴とする半導体装置である。

【0032】また、上記構成において、前記低濃度不純物領域は、前記チャネル形成領域と前記ソース領域の間、または前記チャネル形成領域と前記ドレイン領域との間に存在することを特徴としている。

【0033】また、上記構成において、前記第1の導電層の端部は、テーパ形状であることを特徴としている。

【0034】また、上記構成において、前記第1の導電層の端部は、前記チャネル形成領域と前記ソース領域の間、または前記チャネル形成領域と前記ドレイン領域との間に前記絶縁膜を介して存在することを特徴としている。

【0035】また、上記構成において、前記絶縁膜のうち、前記低濃度不純物領域と重なる領域の膜厚は、チャネル形成領域から遠ざかるにつれて薄くなっていることを特徴としている。

【0036】また、図3に示すように、チャネル形成領域26とドレイン領域23との間に設けられる低濃度不純物領域25において、ドレイン領域に近づくにつれて徐々に導電性を付与する不純物元素の濃度が高くなるような濃度勾配を持たせる点と、緩やかな濃度勾配を有する低濃度不純物領域25において、ゲート電極18cと重なる領域25a(GOLD領域)と、ゲート電極と重ならない領域25b(LDD領域)とを備えている点である。

【0037】なお、本明細書では、絶縁膜を介してゲート電極と重なる低濃度不純物領域をGOLD領域と呼び、ゲート電極と重ならない低濃度不純物領域をLDD領域と呼ぶ。

【0038】また、上記構成を備えたTFTを用いて液晶表示装置やEL表示装置に代表される電気光学装置を形成することを特徴としている。

【0039】

【発明の実施の形態】本発明の実施形態について、以下に図1～図3を用いて説明する。

【0040】まず、基板10上に下地絶縁膜11を形成する。基板10としては、ガラス基板や石英基板やシリコン基板、金属基板またはステンレス基板の表面に絶縁膜を形成したものを用いても良い。また、処理温度に耐えうる耐熱性を有するプラスチック基板を用いてもよい。

【0041】また、下地絶縁膜11としては、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜など

(6)

9

の絶縁膜から成る下地膜11を形成する。ここでは下地膜11として2層構造(11a、11b)を用いた例を示したが、前記絶縁膜の単層膜または2層以上積層させた構造を用いても良い。なお、下地絶縁膜を形成しなくてもよい。

【0042】次いで、下地絶縁膜上に半導体層12を形成する。半導体層12は、非晶質構造を有する半導体膜を公知の手段(スパッタ法、LPCVD法、またはプラズマCVD法等)により成膜した後、公知の結晶化処理(レーザー結晶化法、熱結晶化法、またはニッケルなどの触媒を用いた熱結晶化法等)を行って得られた結晶質半導体膜を第1のフォトリソを用いて所望の形状にパターニングして形成する。この半導体層12の厚さは25~80nm(好ましくは30~60nm)の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム(SiGe)合金などで形成すると良い。

【0043】次いで、半導体層12を覆う絶縁膜13を形成する。

【0044】絶縁膜13はプラズマCVD法またはスパッタ法を用い、厚さを40~150nmとしてシリコンを含む絶縁膜の単層または積層構造で形成する。なお、この絶縁膜13はゲート絶縁膜となる。

【0045】次いで、絶縁膜13上に膜厚20~100nmの第1の導電膜14と、膜厚100~400nmの第2の導電膜15とを積層形成する。(図1(A))ここでは、スパッタ法を用い、Ta₂N膜からなる第1の導電膜14と、W膜からなる第2の導電膜15を積層形成した。なお、ここでは、第1の導電膜14をTa₂N、第2の導電膜15をWとしたが、特に限定されず、いずれもTa、W、Ti、Mo、Al、Cuから選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。

【0046】次いで、第2のフォトリソを用いてレジストマスク16aを形成し、ICPエッチング装置を用いて第1のエッチング工程を行う。この第1のエッチング工程によって、第2の導電膜15をエッチングして、図1(B)に示すように、端部においてテーパ形状を有する部分(テーパ部)を有する第2の導電層17aを得る。

【0047】ここで、テーパ部の角度(テーパ角)は基板表面(水平面)とテーパ部の傾斜部とのなす角度として定義する。第2の導電層17aのテーパ角は、エッチング条件を適宜、選択することによって、5°~45°の範囲とすることができる。

【0048】次いで、レジストマスク16aをそのまま用い、ICPエッチング装置を用いて第2のエッチング工程を行う。この第2のエッチング工程によって、第1

10

の導電膜14をエッチングして図1(C)に示すような第1の導電層18aを形成する。第1の導電層18aは、第1の幅(W1)を有している。なお、この第2のエッチング工程の際、レジストマスク、第2の導電層、及び絶縁膜もわずかにエッチングされて、それぞれレジストマスク16b、第2の導電層17b、絶縁膜19aが形成される。

【0049】なお、ここでは、絶縁膜13の膜減りを抑えるために、2回のエッチング(第1のエッチング工程と第2のエッチング工程)を行ったが、図2(C)に示すような電極構造(第2の導電層17bと第1の導電層18aの積層)が形成できるのであれば、特に限定されず、1回のエッチング工程で行ってもよい。

【0050】次いで、レジストマスク16bをそのままの状態にしたまま、第1のドーピング工程を行う。この第1のドーピング工程によって絶縁膜19aを介してスルードープを行い、高濃度不純物領域20、21を形成する。(図1(D))

【0051】次いで、レジストマスク16bを用いて、ICPエッチング装置を用いて第3のエッチング工程を行う。この第3のエッチング工程によって、第2の導電層17bをエッチングして図2(A)に示すような第2の導電層17cを形成する。第2の導電層17cは、第2の幅(W2)を有する。なお、この第3のエッチング工程の際、レジストマスク、第1の導電層、及び絶縁膜もわずかにエッチングされて、それぞれレジストマスク16c、第1の導電層18b、絶縁膜19bが形成される。

【0052】次いで、レジストマスク16cをそのままの状態にしたまま、第2のドーピング工程を行う。この第2のドーピング工程によって第1の導電層18bのテーパ部及び絶縁膜19bを介してスルードープを行い、低濃度不純物領域24、25を形成する。図2

(B)なお、この第2のドーピングの際、高濃度不純物領域にもドーピングされ、高濃度不純物領域22、23が形成される。

【0053】次いで、レジストマスク16cをそのままの状態にしたまま、RIEエッチング装置を用いて第4のエッチング工程を行う。この第4のエッチング工程によって、第1の導電層18bのテーパ部を一部除去する。ここで、第1の幅(W1)を有していた第1の導電層18bが、第3の幅(W3)を有する第1の導電層18cとなった。本発明では、この第1の導電層18cとその上に積層された第2の導電層17cがゲート電極となる。なお、この第4のエッチングの際、絶縁膜19bもエッチングされて、絶縁膜19cが形成される。ここでは、絶縁膜の一部を除去して高濃度不純物領域を露呈させた例を示したが特に限定されない。

【0054】この後、レジストマスク16cを除去し、半導体層に添加された不純物元素の活性化を行う。次い

(7)

11

で、層間絶縁膜27を形成した後、第3のマスクを用いてコンタクトホールを形成し、第4のマスクを用いて電極28、29を形成する。

【0055】こうして、フォトマスク4枚で、図2(D)に示す構造のTFTを形成することができる。

【0056】また、本発明により形成されたTFTの特徴は、チャネル形成領域26とドレイン領域23との間に設けられる低濃度不純物領域25において、ほとんど濃度差はなく、緩やかな濃度勾配を有し、ゲート電極18cと重なる領域25a(GOLD領域)と、ゲート電極と重ならない領域25b(LDD領域)とを備えている点である。また、絶縁膜19cの周縁部、即ち、ゲート電極と重ならない領域25b及び高濃度不純物領域20、21の上方の領域はテーパー状となっている。

【0057】なお、図2(B)の工程において、シュミレーションを行った。シュミレーションには、図4に示した構造模式図を用いた。ここでは、半導体層の膜厚42nm、ゲート絶縁膜の膜厚110nmとし、第1の導電層のテーパー部は、図4に示したような階段状の構造にモデル化して、加速電圧90keV、ドーズ量 1.4×10^{13} atoms/cm²でリンのドーピングを行った場合を想定した。

【0058】そのシュミレーション結果を図5に示す。図5には、不純物元素(リン)の濃度は、チャネル形成領域から遠ざかるにつれて連続的に高くなることが示されている。ただし、その濃度勾配は緩やかであり、低濃度不純物領域における濃度差はほとんど生じていない。

【0059】また、図5により得られた濃度分布を有し、且つ、0.5 μ mのGOLD領域と、0.5 μ mのLDD領域として形成されたTFTの電圧/電流特性を図6に示した。なお、シュミレーションにより、TFTのしきい値(V_{th})は、1.881V、S値は、0.2878V/dcc、オン電流は、 V_{ds} (ソース領域とドレイン領域の電圧差)=1Vの時には、40 μ Aとなり、 V_{ds} =14Vの時には119.6 μ Aとなった。

【0060】以上の構成でなる本発明について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

【0061】

【実施例】【実施例1】ここでは、同一基板上に画素部と、画素部の周辺に設ける駆動回路のTFT(nチャネル型TFT及びpチャネル型TFT)を同時に作製する方法について詳細に図7～図9を用いて説明する。

【0062】まず、本実施例ではコーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスからなる基板100を用いる。なお、基板100としては、透光性を有する基板であれば限定されず、石英基板を用いても良い。また、本実施例の処理温

12

度に耐えうる耐熱性が有するプラスチック基板を用いてもよい。

【0063】次いで、基板100上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜101を形成する。本実施例では下地膜101として2層構造を用いるが、前記絶縁膜の単層膜または2層以上積層させた構造を用いても良い。下地膜101の一層目としては、プラズマCVD法を用い、SiH₄、NH₃、及びN₂Oを反応ガスとして成膜される酸化窒化シリコン膜101aを10～200nm(好ましくは50～100nm)形成する。本実施例では、膜厚50nmの酸化窒化シリコン膜101a(組成比Si=32%、O=27%、N=24%、H=17%)を形成した。次いで、下地膜101の二層目としては、プラズマCVD法を用い、SiH₄、及びN₂Oを反応ガスとして成膜される酸化窒化シリコン膜101bを50～200nm(好ましくは100～150nm)の厚さに積層形成する。本実施例では、膜厚100nmの酸化窒化シリコン膜101b(組成比Si=32%、O=59%、N=7%、H=2%)を形成した。

【0064】次いで、下地膜上に半導体層102～105を形成する。半導体層102～105は、非晶質構造を有する半導体膜を公知の手段(スパッタ法、LPCVD法、またはプラズマCVD法等)により成膜した後、公知の結晶化処理(レーザー結晶化法、熱結晶化法、またはニッケルなどの触媒を用いた熱結晶化法等)を行って得られた結晶質半導体膜を所望の形状にパターニングして形成する。この半導体層102～105の厚さは25～80nm(好ましくは30～60nm)の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム(Si_xGe_{1-x}(X=0.0001～0.02))合金などで形成すると良い。本実施例では、プラズマCVD法を用い、55nmの非晶質シリコン膜を成膜した後、ニッケルを含む溶液を非晶質シリコン膜上に保持させた。この非晶質シリコン膜に脱水素化(500℃、1時間)を行った後、熱結晶化(550℃、4時間)を行い、さらに結晶化を改善するためのレーザーアニール処理を行って結晶質シリコン膜を形成した。そして、この結晶質シリコン膜をフォトリソグラフィ法を用いたパターニング処理によって、半導体層102～105を形成した。

【0065】また、半導体層102～105を形成した後、TFTのしきい値を制御するために微量な不純物元素(ボロンまたはリン)のドーピングを行ってもよい。

【0066】また、レーザー結晶化法で結晶質半導体膜を作製する場合には、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、YVO₄レーザーを用いることができる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良

(8)

13

い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数30Hzとし、レーザーエネルギー密度を100~400mJ/cm²(代表的には200~300mJ/cm²)とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数1~10kHzとし、レーザーエネルギー密度を300~600mJ/cm²(代表的には350~500mJ/cm²)とすると良い。そして幅100~1000μm、例えば400μmで線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率(オーバーラップ率)を80~98%として行えばよい。

【0067】次いで、半導体層102~105を覆うゲート絶縁膜106を形成する。ゲート絶縁膜106はプラズマCVD法またはスパッタ法を用い、厚さを40~150nmとしてシリコンを含む絶縁膜で形成する。本実施例では、プラズマCVD法により110nmの厚さで酸化窒化シリコン膜(組成比Si=32%、O=59%、N=7%、H=2%)で形成した。勿論、ゲート絶縁膜は酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。

【0068】また、酸化シリコン膜を用いる場合には、プラズマCVD法でTEOS (Tetraethyl Orthosilicate) とO₂とを混合し、反応圧力40Pa、基板温度300~400℃とし、高周波(13.56MHz)電力密度0.5~0.8W/cm²で放電させて形成することができる。このようにして作製される酸化シリコン膜は、その後400~500℃の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【0069】次いで、図7(A)に示すように、ゲート絶縁膜106上に膜厚20~100nmの第1の導電膜107と、膜厚100~400nmの第2の導電膜108とを積層形成する。本実施例では、膜厚30nmのTa₂N₅膜からなる第1の導電膜107と、膜厚370nmのW膜からなる第2の導電膜108を積層形成した。Ta₂N₅膜はスパッタ法で形成し、Taのターゲットを用い、窒素を含む雰囲気内でスパッタした。また、W膜は、Wのターゲットを用いたスパッタ法で形成した。その他に6フッ化タングステン(WF₆)を用いる熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20μΩcm以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W膜中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。従って、本実施例では、高純度のW(純度99.9999%)のターゲットを用いたスパッタ法で、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9~20μΩcmを実現するこ

14

とができた。

【0070】なお、本実施例では、第1の導電膜107をTa₂N₅、第2の導電膜108をWとしたが、特に限定されず、いずれもTa、W、Ti、Mo、Al、Cu、Cr、Ndから選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。また、AgPdCu合金を用いてもよい。また、第1の導電膜をタンタル(Ta)膜で形成し、第2の導電膜をW膜とする組み合わせ、第1の導電膜を窒化チタン(TiN)膜で形成し、第2の導電膜をW膜とする組み合わせ、第1の導電膜を窒化タンタル(TaN)膜で形成し、第2の導電膜をAl膜とする組み合わせ、第1の導電膜を窒化タンタル(TaN)膜で形成し、第2の導電膜をCu膜とする組み合わせとしてもよい。

【0071】次に、フォトリソグラフィ法を用いてレジストからなるマスク109~112を形成し、電極及び配線を形成するための第1のエッチング処理を行う。第1のエッチング処理では第1及び第2のエッチング条件で行う。本実施例では第1のエッチング条件として、ICP (Inductively Coupled Plasma: 誘導結合型プラズマ) エッチング法を用い、エッチング用ガスにCF₄とCl₂とO₂とを用い、それぞれのガス流量比を25/25/10 (sccm)とし、1Paの圧力でコイル型の電極に500WのRF (13.56MHz) 電力を投入してプラズマを生成してエッチングを行った。ここでは、松下電器産業(株)製のICPを用いたドライエッチング装置(Model E645-□ICP)を用いた。基板側(試料ステージ)にも150WのRF (13.56MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。この第1のエッチング条件によりW膜をエッチングして第2の導電層の端部をテーパ形状とする。第1のエッチング条件でのWに対するエッチング速度は200.39nm/min、Ta₂N₅に対するエッチング速度は80.32nm/minであり、Ta₂N₅に対するWの選択比は約2.5である。また、この第1のエッチング条件によって、Wのテーパ角は、約26°となる。なお、ここで第1のエッチング条件でのエッチングは、実施の形態に記載した第1のエッチング工程(図1(B))に相当する。

【0072】この後、レジストからなるマスク109~112を除去せずに第2のエッチング条件に変え、エッチング用ガスにCF₄とCl₂とを用い、それぞれのガス流量比を30/30 (sccm)とし、1Paの圧力でコイル型の電極に500WのRF (13.56MHz) 電力を投入してプラズマを生成して約30秒程度のエッチングを行った。基板側(試料ステージ)にも20WのRF (13.56MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。CF₄とCl₂を混合した第2のエッチング条

(9)

15

件ではW膜及びTa₂N₅膜とも同程度にエッチングされる。第2のエッチング条件でのWに対するエッチング速度は58.97nm/min、Ta₂N₅に対するエッチング速度は66.43nm/minである。なお、ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10~20%程度の割合でエッチング時間を増加させると良い。なお、ここでの第2エッチング条件でのエッチングは、実施の形態に記載した第2のエッチング工程(図1(C))に相当する。

【0073】上記第1のエッチング処理では、レジストからなるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパ形状となる。このテーパ部の角度は15°~45°とすればよい。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層113~116

(第1の導電層113a~116aと第2の導電層113b~116b)を形成する。ここでのチャンネル長方向の第1の導電層の幅は、上記実施の形態に示したW1に相当する。117はゲート絶縁膜であり、第1の形状の導電層113~116で覆われない領域は20~50nm程度エッチングされ薄くなった領域が形成される。

【0074】そして、レジストからなるマスクを除去せずに第1のドーピング処理を行い、半導体層にn型を付与する不純物元素を添加する。(図7(B))ドーピング処理はイオンドーピング法、若しくはイオン注入法で行えば良い。イオンドーピング法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{15} \text{ atoms/cm}^2$ とし、加速電圧を60~100keVとして行う。本実施例ではドーズ量を $1.5 \times 10^{15} \text{ atoms/cm}^2$ とし、加速電圧を80keVとして行った。n型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いるが、ここではリン(P)を用いた。この場合、導電層113~116がn型を付与する不純物元素に対するマスクとなり、自己整合的に高濃度不純物領域118~121が形成される。高濃度不純物領域118~121には $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ の濃度範囲でn型を付与する不純物元素を添加する。なお、ここでの第1のドーピング処理は、実施の形態に記載した第1のドーピング工程(図1(D))に相当する。

【0075】次いで、レジストからなるマスクを除去せずに第2のエッチング処理を行う。なお、第1のエッチング処理や第2のエッチング処理に用いるエッチング用ガスにはCl₂、BCl₃、SiCl₄、CCl₄などの塩素化合物系ガス、CF₄、SF₆、NF₃などのフッ素化合物系ガス及びO₂から選ばれたガス、またはこれらを主成分とする混合ガスをを用いればよい。ここでは、エッチング用ガスにCF₄とCl₂とO₂とを用い、それぞれのガス流量比を25/25/10(sccm)とし、1Paの圧力でコイル型の電極に500WのRF(13.56MHz

16

z)電力を投入してプラズマを生成してエッチングを行った。基板側(試料ステージ)にも20WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。第2のエッチング処理でのWに対するエッチング速度は124.62nm/min、Ta₂N₅に対するエッチング速度は20.67nm/minであり、Ta₂N₅に対するWの選択比は6.05である。従って、W膜が選択的にエッチングされる。この第2のエッチング処理によりWのテーパ角は70°となった。この第2のエッチング処理により第2の導電層122b~125bを形成する。一方、第1の導電層113a~116aは、ほとんどエッチングされず、第1の導電層122a~125aを形成する。なお、ここでの第2のエッチング処理は、実施の形態に記載した第3のエッチング工程(図2(A))に相当する。また、ここでのチャンネル長方向の第2の導電層の幅が実施の形態に示したW2に相当する。

【0076】次いで、第2のドーピング処理を行って図7(C)の状態を得る。ドーピングは第2の導電層122b~125bを不純物元素に対するマスクとして用い、第1の導電層のテーパ部下方の半導体層に不純物元素が添加されるようにドーピングする。本実施例では、不純物元素としてP(リン)を用い、ドーズ量 3.5×10^{12} 、加速電圧90keVにてプラズマドーピングを行った。こうして、第1の導電層と重なる低濃度不純物領域126~129を自己整合的に形成する。この低濃度不純物領域126~129へ添加されたリン(P)の濃度は、 $1 \times 10^{17} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ であり、且つ、第1の導電層のテーパ部の膜厚に従って緩やかな濃度勾配を有している。なお、第1の導電層のテーパ部と重なる半導体層において、第1の導電層のテーパ部の端部から内側に向かって若干、不純物濃度が低くなっているものの、ほぼ同程度の濃度である。また、高濃度不純物領域118~121にも不純物元素が添加され、高濃度不純物領域130~133を形成する。なお、ここでの第2のドーピング処理は、実施の形態に記載した第2のドーピング工程(図2(B))に相当する。

【0077】次いで、レジストからなるマスクを除去せずに第3のエッチング処理を行う。この第3のエッチング処理では第1の導電層のテーパ部を部分的にエッチングして、半導体層と重なる領域を縮小するために行われる。第3のエッチング処理は、エッチングガスにCHF₃を用い、反応性イオンエッチング法(RIE法)を用いて行う。本実施例では、チャンバー圧力6.7Pa、RF電力800W、CHF₃ガス流量35sccmで第3のエッチング処理を行った。第3のエッチング処理により、第1の導電層138~141が形成される。(図8(A))なお、ここでの第3のエッチング処理は、実施の形態に記載した第4のエッチング工程(図2

(10)

17

(C))に相当する。また、ここでのチャネル長方向の第1の導電層の幅が実施の形態に示したW3に相当する。

【0078】この第3のエッチング処理時、同時に絶縁膜117もエッチングされて、高濃度不純物領域130～133の一部は露呈し、絶縁膜143a～143c、144が形成される。なお、本実施例では、高濃度不純物領域130～133の一部が露呈するエッチング条件を用いたが、絶縁膜の膜厚やエッチング条件を変更すれば、高濃度不純物領域に薄く絶縁膜が残るようにすることもできる。

【0079】上記第3のエッチング処理によって、第1の導電層138～141と重ならない不純物領域(LDD領域)134a～137aが形成される。なお、不純物領域(GOLD領域)134b～137bは、第1の導電層138～141と重なったままである。

【0080】また、第1の導電層138と第2の導電層122bとで形成された電極は、後の工程で形成される駆動回路のnチャネル型TFTのゲート電極となり、第1の導電層139と第2の導電層123bとで形成された電極は、後の工程で形成される駆動回路のpチャネル型TFTのゲート電極となる。同様に、第1の導電層140と第2の導電層124bとで形成された電極は、後の工程で形成される画素部のnチャネル型TFTのゲート電極となり、第1の導電層141と第2の導電層125bとで形成された電極は、後の工程で形成される画素部の保持容量の一方の電極となる。

【0081】このようにすることで、本実施例は、第1の導電層138～141と重なる不純物領域(GOLD領域)134b～137bにおける不純物濃度と、第1の導電層138～141と重ならない不純物領域(LDD領域)134a～137aにおける不純物濃度との差を小さくすることができ、TFT特性を向上させることができる。

【0082】次いで、レジストからなるマスクを除去した後、新たにレジストからなるマスク145、146を形成して第3のドーピング処理を行う。この第3のドーピング処理により、pチャネル型TFTの活性層となる半導体層に前記一導電型(n型)とは逆の導電型(p型)を付与する不純物元素が添加された不純物領域147～152を形成する。(図8(B))第1の導電層139、141を不純物元素に対するマスクとして用い、p型を付与する不純物元素を添加して自己整合的に不純物領域を形成する。本実施例では、不純物領域147～152はジボラン(B_2H_6)を用いたイオンドーピング法で形成する。なお、この第3のドーピング処理の際には、nチャネル型TFTを形成する半導体層はレジストからなるマスク145、146で覆われている。第1のドーピング処理及び第2のドーピング処理によって、不純物領域145、146にはそれぞれ異なる濃度でリンが添

18

加されているが、そのいずれの領域においてもp型を付与する不純物元素の濃度が $2 \times 10^{20} \sim 2 \times 10^{21} \text{ atoms/cm}^3$ となるようにドーピング処理することにより、pチャネル型TFTのソース領域およびドレイン領域として機能するために何ら問題は生じない。本実施例では、第3のエッチング処理によって、pチャネル型TFTの活性層となる半導体層の一部が露呈されたため、不純物元素(ボロン)を添加しやすい利点を有している。

【0083】この第3のドーピング処理は1回でもよいし、複数回でもよい。例えば、2回のドーピングを行う場合、1回目のドーピング条件を加速電圧5～40keVとし、147、150を形成し、2回目のドーピング条件を加速電圧60～120keVとし、148、149、151、152を形成することによって半導体膜における注入欠陥(イオンドーピングやイオン注入による欠陥)を最小限に抑えることができる。さらに、このように複数回でドーピングを行えば、ソース領域およびドレイン領域147とLDD領域148、149に対してそれぞれボロン元素の導入量を変えることができ、設計の自由度が向上する。

【0084】以上までの工程でそれぞれの半導体層に不純物領域が形成される。

【0085】次いで、レジストからなるマスク145、146を除去して第1の層間絶縁膜153を形成する。この第1の層間絶縁膜153としては、プラズマCVD法またはスパッタ法を用い、厚さを100～200nmとしてシリコンを含む絶縁膜で形成する。本実施例では、プラズマCVD法により膜厚150nmの酸化窒化シリコン膜を形成した。勿論、第1の層間絶縁膜153は酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。

【0086】次いで、図8(C)に示すように、それぞれの半導体層に添加された不純物元素を活性化処理する工程を行う。この活性化工程はファーネスアニール炉を用いる熱アニール法で行う。熱アニール法としては、酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400～700℃、代表的には500～550℃で行えばよく、本実施例では550℃、4時間の熱処理で活性化処理を行った。なお、熱アニール法の他に、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)を適用することができる。

【0087】なお、本実施例では、上記活性化処理と同時に、結晶化の際に触媒として使用したニッケルが高濃度のリンを含む不純物領域(130、132、147、150)にゲッタリングされ、主にチャネル形成領域となる半導体層中のニッケル濃度が低減される。このようにして作製したチャネル形成領域を有するTFTはオフ電流値が下がり、結晶性が良いことから高い電界効果移動度を得られ、良好な特性を達成することができる。

(11)

19

【0088】また、第1の層間絶縁膜を形成する前に活性化処理を行っても良い。ただし、用いた配線材料が熱に弱い場合には、本実施例のように配線等を保護するため層間絶縁膜（シリコンを主成分とする絶縁膜、例えば窒化珪素膜）を形成した後で活性化処理を行うことが好ましい。

【0089】さらに、3～100%の水素を含む雰囲気中で、300～550℃で1～12時間の熱処理を行い、半導体層を水素化する工程を行う。本実施例では水素を約3%の含む窒素雰囲気中で410℃、1時間の熱処理を行った。この工程は層間絶縁膜に含まれる水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【0090】また、活性化処理としてレーザーアニール法を用いる場合には、上記水素化を行った後、エキシマレーザーやYAGレーザー等のレーザー光を照射することが望ましい。

【0091】次いで、第1の層間絶縁膜153上に有機絶縁物材料から成る第2の層間絶縁膜154を形成する。本実施例では膜厚1.6μmのアクリル樹脂膜を形成した。次いで、各不純物領域130、132、147、150に達するコンタクトホールを形成するためのパターンニングを行う。

【0092】そして、駆動回路205において、不純物領域130または不純物領域147とそれぞれ電気的に接続する電極155～158を形成する。なお、これらの電極は、膜厚50nmのTi膜と、膜厚500nmの合金膜（AlとTiとの合金膜）との積層膜をパターンニングして形成する。

【0093】また、画素部206においては、不純物領域132と接する接続電極160、またはソース電極159を形成し、不純物領域150と接する接続電極161を形成する。

【0094】次いで、その上に透明導電膜を80～120nmの厚さで形成し、パターンニングすることによって画素電極162を形成する。（図9）透明導電膜には酸化インジウム酸化亜鉛合金（ $\text{In}_2\text{O}_3\text{—ZnO}$ ）、酸化亜鉛（ ZnO ）も適した材料であり、さらに可視光の透過率や導電率を高めるためにガリウム（Ga）を添加した酸化亜鉛（ ZnO:Ga ）などを好適に用いることができる。

【0095】また、画素電極162は、接続電極160と接して重ねて形成することによって画素TFTのドレイン領域と電気的な接続が形成され、さらに保持容量を形成する一方の電極として機能する半導体層（不純物領域150）と電気的な接続が形成される。

【0096】なお、ここでは、画素電極として、透明導電膜を用いた例を示したが、反射性を有する導電性材料を用いて画素電極を形成すれば、反射型の表示装置を作

20

製することができる。その場合、電極を作製する工程で画素電極を同時に形成でき、その画素電極の材料としては、AlまたはAgを主成分とする膜、またはそれらの積層膜等の反射性の優れた材料を用いることが望ましい。

【0097】以上の様にして、nチャネル型TFT201及びpチャネル型TFT202を有する駆動回路205と、画素TFT203及び保持容量204とを有する画素部206を同一基板上に形成することができる。本明細書中ではこのような基板を便宜上アクティブマトリクス基板と呼ぶ。

【0098】駆動回路205のnチャネル型TFT201はチャネル形成領域163、ゲート電極の一部を構成する第1の導電層138と重なる低濃度不純物領域134b（GOLD領域）、ゲート電極の外側に形成される低濃度不純物領域134a（LDD領域）とソース領域またはドレイン領域として機能する高濃度不純物領域130を有している。pチャネル型TFT202にはチャネル形成領域164、ゲート電極の一部を構成する第1の導電層139と重なる不純物領域149、ゲート電極の外側に形成される不純物領域148、ソース領域またはドレイン領域として機能する不純物領域147を有している。

【0099】画素部206の画素TFT203にはチャネル形成領域165、ゲート電極を形成する第1の導電層140と重なる低濃度不純物領域136b（GOLD領域）、ゲート電極の外側に形成される低濃度不純物領域136a（LDD領域）とソース領域またはドレイン領域として機能する高濃度不純物領域132を有している。また、保持容量204の一方の電極として機能する半導体層150～152には、それぞれp型を付与する不純物元素が添加されている。保持容量204は、絶縁膜144を誘電体として、電極125、141と、半導体層150～152、166とで形成している。

【0100】【実施例2】本実施例では、実施例1で作製したアクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を以下に説明する。説明には図10を用いる。

【0101】まず、実施例1に従い、図9の状態のアクティブマトリクス基板を得た後、図9のアクティブマトリクス基板上に配向膜167を形成しラビング処理を行う。なお、本実施例では配向膜167を形成する前に、アクリル樹脂膜等の有機樹脂膜をパターンニングすることによって基板間隔を保持するための柱状のスペーサを所望の位置に形成した。また、柱状のスペーサに代えて、球状のスペーサを基板全面に散布してもよい。

【0102】次いで、対向基板168を用意する。この対向基板には、着色層174、遮光層175が各画素に対応して配置されたカラーフィルタが設けられている。また、駆動回路の部分にも遮光層177を設けた。この

(12)

21

カラーフィルタと遮光層177とを覆う平坦化膜176を設けた。次いで、平坦化膜176上に透明導電膜からなる対向電極169を画素部に形成し、対向基板の全面に配向膜170を形成し、ラビング処理を施した。

【0103】そして、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール材171で貼り合わせる。シール材171にはフィラーが混入されていて、このフィラーと柱状スペーサによって均一な間隔を持って2枚の基板が貼り合わせられる。その後、両基板の間に液晶材料173を注入し、封止剤(図示せず)によって完全に封止する。液晶材料173には公知の液晶材料を用いれば良い。このようにして図10に示すアクティブマトリクス型液晶表示装置が完成する。そして、必要があれば、アクティブマトリクス基板または対向基板を所望の形状に分断する。さらに、公知の技術を用いて偏光板等を適宜設けた。そして、公知の技術を用いてFPCを貼りつけた。

【0104】こうして得られた液晶表示パネルの構成を図11の上面図を用いて説明する。なお、図10と対応する部分には同じ符号を用いた。

【0105】図11(A)で示す上面図は、画素部、駆動回路、FPC(フレキシブルプリント配線板:Flexible Printed Circuit)を貼り付ける外部入力端子207、外部入力端子と各回路の入力部までを接続する配線208などが形成されたアクティブマトリクス基板と、カラーフィルタなどが設けられた対向基板168とがシール材171を介して貼り合わされている。

【0106】ゲート配線側駆動回路205aと重なるように対向基板側に遮光層177aが設けられ、ソース配線側駆動回路205bと重なるように対向基板側に遮光層177bが形成されている。また、画素部206上の対向基板側に設けられたカラーフィルタ209は遮光層と、赤色(R)、緑色(G)、青色(B)の各色の着色層とが各画素に対応して設けられている。実際に表示する際には、赤色(R)の着色層、緑色(G)の着色層、青色(B)の着色層の3色でカラー表示を形成するが、これら各色の着色層の配列は任意なものとする。

【0107】ここでは、カラー化を図るためにカラーフィルタ209を対向基板に設けているが特に限定されず、アクティブマトリクス基板を作製する際、アクティブマトリクス基板にカラーフィルタを形成してもよい。

【0108】また、カラーフィルタにおいて隣り合う画素の間には遮光層が設けられており、表示領域以外の箇所を遮光している。また、ここでは、駆動回路を覆う領域にも遮光層177a、177bを設けているが、駆動回路を覆う領域は、後に液晶表示装置を電子機器の表示部として組み込む際、カバーで覆うため、特に遮光層を設けない構成としてもよい。また、アクティブマトリクス基板を作製する際、アクティブマトリクス基板に遮光層を形成してもよい。

22

【0109】また、上記遮光層を設けずに、対向基板と対向電極の間に、カラーフィルタを構成する着色層を複数層重ねた積層で遮光するように適宜配置し、表示領域以外の箇所(各画素電極の間隙)や、駆動回路を遮光してもよい。

【0110】また、外部入力端子にはベースフィルム210と配線211から成るFPCが異方性導電性樹脂212で貼り合わされている。さらに補強板で機械的強度を高めている。

10 【0111】図11(B)は図11(A)で示す外部入力端子207のA-A'線に対する断面図を示している。導電性粒子214の外径は配線215のピッチよりも小さいので、接着剤212中に分散する量を適当なものとする隣接する配線と短絡することなく対応するFPC側の配線と電気的な接続を形成することができる。

【0112】以上のようにして作製される液晶表示パネルは各種電子機器の表示部として用いることができる。

20 【0113】[実施例3]本実施例では実施例1とは異なるアクティブマトリクス基板の作製方法について図12~15、及び図17を用いて説明する。実施例1では透過型の表示装置を形成したが、本実施例では、反射型の表示装置を形成し、実施例1よりもマスク数を減らすことを特徴としている。

【0114】まず、本実施例ではコーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスからなる基板400を用いる。なお、基板400としては、石英基板やシリコン基板、金属基板またはステンレス基板の表面に絶縁膜を形成したものを用いても良い。また、本実施例の処理温度に耐えうる耐熱性が有するプラスチック基板を用いてもよい。

【0115】次いで、基板400上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜401を形成する。本実施例では下地膜401として2層構造を用いるが、前記絶縁膜の単層膜または2層以上積層させた構造を用いても良い。下地膜401の一層目としては、プラズマCVD法を用い、SiH₄、NH₃、及びN₂Oを反応ガスとして成膜される酸化窒化シリコン膜401aを10~200nm(好ましくは50~100nm)形成する。本実施例では、膜厚50nmの酸化窒化シリコン膜401a(組成比Si=32%、O=27%、N=24%、H=17%)を形成した。次いで、下地膜401の二層目としては、プラズマCVD法を用い、SiH₄、及びN₂Oを反応ガスとして成膜される酸化窒化シリコン膜401bを50~200nm(好ましくは100~150nm)の厚さに積層形成する。本実施例では、膜厚100nmの酸化窒化シリコン膜401b(組成比Si=32%、O=59%、N=7%、H=2%)を形成した。

50 【0116】次いで、下地膜上に半導体層402~40

(13)

23

6を形成する。半導体層402~406は、非晶質構造を有する半導体膜を公知の手段（スパッタ法、LPCVD法、またはプラズマCVD法等）により成膜した後、公知の結晶化処理（レーザー結晶化法、熱結晶化法、またはニッケルなどの触媒を用いた熱結晶化法等）を行って得られた結晶質半導体膜を所望の形状にパターンニングして形成する。この半導体層402~406の厚さは25~80nm（好ましくは30~60nm）の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム（SiGe）合金などで形成すると良い。本実施例では、プラズマCVD法を用い、55nmの非晶質シリコン膜を成膜した後、ニッケルを含む溶液を非晶質シリコン膜上に保持させた。この非晶質シリコン膜に脱水素化（500℃、1時間）を行った後、熱結晶化（550℃、4時間）を行い、さらに結晶化を改善するためのレーザーアニール処理を行って結晶質シリコン膜を形成した。そして、この結晶質シリコン膜をフォトリソグラフィ法を用いたパターンニング処理によって、半導体層402~406を形成した。

【0117】また、半導体層402~406を形成した後、TFTのしきい値を制御するために微量な不純物元素（ボロンまたはリン）のドーピングを行ってもよい。

【0118】また、レーザー結晶化法で結晶質半導体膜を作製する場合には、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、YVO₄レーザーを用いることができる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数30Hzとし、レーザーエネルギー密度を100~400mJ/cm²（代表的には200~300mJ/cm²）とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数1~1.0kHzとし、レーザーエネルギー密度を300~600mJ/cm²（代表的には350~500mJ/cm²）とすると良い。そして幅100~1000μm、例えば400μmで線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率（オーバーラップ率）を80~98%として行えばよい。

【0119】次いで、半導体層402~406を覆うゲート絶縁膜407を形成する。ゲート絶縁膜407はプラズマCVD法またはスパッタ法を用い、厚さを40~150nmとしてシリコンを含む絶縁膜で形成する。本実施例では、プラズマCVD法により110nmの厚さで酸化窒化シリコン膜（組成比Si=32%、O=59%、N=7%、H=2%）で形成した。勿論、ゲート絶縁膜は酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用

24

いても良い。

【0120】また、酸化シリコン膜を用いる場合には、プラズマCVD法でTEOS（Tetraethyl Orthosilicate）とO₂とを混合し、反応圧力40Pa、基板温度300~400℃とし、高周波（13.56MHz）電力密度0.5~0.8W/cm²で放電させて形成することができる。このようにして作製される酸化シリコン膜は、その後400~500℃の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【0121】次いで、図12（A）に示すように、ゲート絶縁膜407上に膜厚20~100nmの第1の導電膜408と、膜厚100~400nmの第2の導電膜409とを積層形成する。本実施例では、膜厚30nmのTa_xN_y膜からなる第1の導電膜408と、膜厚370nmのW膜からなる第2の導電膜409を積層形成した。Ta_xN_y膜はスパッタ法で形成し、Taのターゲットを用い、窒素を含む雰囲気内でスパッタした。また、W膜は、Wのターゲットを用いたスパッタ法で形成した。その他に6フッ化タングステン（WF₆）を用いる熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20μΩcm以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W膜中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。従って、本実施例では、高純度のW（純度99.9999%または純度99.99%）のターゲットを用いたスパッタ法で、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9~20μΩcmを実現することができた。

【0122】なお、本実施例では、第1の導電膜408をTa_xN_y、第2の導電膜409をWとしたが、特に限定されず、いずれもTa、W、Ti、Mo、Al、Cu、Cr、Ndから選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。また、AgPdCu合金を用いてもよい。また、第1の導電膜をタンタル（Ta）膜で形成し、第2の導電膜をW膜とする組み合わせ、第1の導電膜を窒化チタン（TiN）膜で形成し、第2の導電膜をW膜とする組み合わせ、第1の導電膜を窒化タンタル（Ta_xN_y）膜で形成し、第2の導電膜をAl膜とする組み合わせ、第1の導電膜を窒化タンタル（Ta_xN_y）膜で形成し、第2の導電膜をCu膜とする組み合わせとしてもよい。

【0123】次に、フォトリソグラフィ法を用いてレジストからなるマスク410~415を形成し、電極及び配線を形成するための第1のエッチング処理を行う。第1のエッチング処理では第1及び第2のエッチング条件で行う。本実施例では第1のエッチング条件として、1

(14)

25

CP (Inductively Coupled Plasma: 誘導結合型プラズマ) エッチング法を用い、エッチング用ガスに CF_4 と Cl_2 と O_2 とを用い、それぞれのガス流量比を $25/25/10$ (sccm) とし、1Paの圧力でコイル型の電極に500WのRF (13.56MHz) 電力を投入してプラズマを生成してエッチングを行った。ここでは、松下電器産業(株)製のICPを用いたドライエッチング装置 (Model E645-□ICP) を用いた。基板側 (試料ステージ) にも150WのRF (13.56MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。この第1のエッチング条件によりW膜をエッチングして第2の導電層の端部をテーパ形状とする。また、この第1のエッチング条件でのエッチング直後での、光学顕微鏡を用いた画素部における上面図を図17 (A) に示した。

【0124】この後、レジストからなるマスク410~415を除去せずに第2のエッチング条件に変え、エッチング用ガスに CF_4 と Cl_2 とを用い、それぞれのガス流量比を $30/30$ (sccm) とし、1Paの圧力でコイル型の電極に500WのRF (13.56MHz) 電力を投入してプラズマを生成して約30秒程度のエッチングを行った。基板側 (試料ステージ) にも20WのRF (13.56MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。 CF_4 と Cl_2 を混合した第2のエッチング条件ではW膜及びTa₂N膜とも同程度にエッチングされる。なお、ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10~20%程度の割合でエッチング時間を増加させると良い。

【0125】上記第1のエッチング処理では、レジストからなるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパ形状となる。このテーパ部の角度は $15^\circ \sim 45^\circ$ となる。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層417~422 (第1の導電層417a~422aと第2の導電層417b~422b) を形成する。416はゲート絶縁膜であり、第1の形状の導電層417~422で覆われない領域は20~50nm程度エッチングされ薄くなった領域が形成される。また、この第2のエッチング条件でのエッチング直後での、光学顕微鏡を用いた画素部における上面図を図17 (B) に示した。

【0126】そして、レジストからなるマスクを除去せずに第1のドーピング処理を行い、半導体層にn型を付与する不純物元素を添加する。(図12 (B)) ドーピング処理はイオンドープ法、若しくはイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{15} \text{atoms/cm}^2$ とし、加速電圧を60~100keVとして行う。本実施例ではドーズ量を $1.5 \times 10^{15} \text{atoms/cm}^2$ とし、加速電圧を80keVとして行

26

った。n型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いるが、ここではリン(P)を用いた。この場合、導電層417~421がn型を付与する不純物元素に対するマスクとなり、自己整合的に高濃度不純物領域423~427が形成される。高濃度不純物領域423~427には $1 \times 10^{20} \sim 1 \times 10^{21} \text{atoms/cm}^3$ の濃度範囲でn型を付与する不純物元素を添加する。

【0127】次いで、レジストからなるマスクを除去せずに第2のエッチング処理を行う。ここでは、エッチングガスに CF_4 と Cl_2 と O_2 とを用い、W膜を選択的にエッチングする。この時、第2のエッチング処理により第1の導電層428b~433bを形成する。一方、第2の導電層417a~422aは、ほとんどエッチングされず、第2の導電層428a~433aを形成する。次いで、第2のドーピング処理を行って図12 (C) の状態を得る。ドーピングは第2の導電層417a~422aを不純物元素に対するマスクとして用い、第1の導電層のテーパ部下方の半導体層に不純物元素が添加されるようにドーピングする。こうして、第1の導電層と重なる不純物領域434~438を形成する。この不純物領域へ添加されたリン(P)の濃度は、第1の導電層のテーパ部の膜厚に従って緩やかな濃度勾配を有している。なお、第1の導電層のテーパ部と重なる半導体層において、第1の導電層のテーパ部の端部から内側に向かって若干、不純物濃度が低くなっているものの、ほぼ同程度の濃度である。また、不純物領域423~427にも不純物元素が添加され、不純物領域439~443を形成する。

【0128】次いで、レジストからなるマスクを除去せずに第3のエッチング処理を行う。(図13 (A)) この第3のエッチング処理では第1の導電層のテーパ部を部分的にエッチングして、半導体層と重なる領域を縮小するために行われる。第3のエッチング処理は、エッチングガスに CHF_3 を用い、反応性イオンエッチング法(RIE法)を用いて行う。第3のエッチング処理により、第1の導電層444~449が形成される。この時、同時に絶縁膜416もエッチングされて、絶縁膜450a~d、451が形成される。

【0129】上記第3のエッチング処理によって、第1の導電層444~448と重ならない不純物領域(LD領域)434a~438aが形成される。なお、不純物領域(GOLD領域)434b~438bは、第1の導電層444~448と重なったままである。

【0130】このようにすることで、本実施例は、第1の導電層444~448と重なる不純物領域(GOLD領域)434b~438bにおける不純物濃度と、第1の導電層444~448と重ならない不純物領域(LD領域)434a~438aにおける不純物濃度との差を小さくすることができ、信頼性を向上させることがで

(15)

27

きる。

【0131】次いで、レジストからなるマスクを除去した後、新たにレジストからなるマスク452～454を形成して第3のドーピング処理を行う。この第3のドーピング処理により、pチャネル型TFTの活性層となる半導体層に前記導電型(n型)とは逆の導電型(p型)を付与する不純物元素が添加された不純物領域455～460を形成する。第1の導電層445、448を不純物元素に対するマスクとして用い、p型を付与する不純物元素を添加して自己整合的に不純物領域を形成する。本実施例では、不純物領域455～460はジボラン(B₂H₆)を用いたイオンドープ法で形成する。(図13(B))この第3のドーピング処理の際には、nチャネル型TFTを形成する半導体層はレジストからなるマスク452～454で覆われている。第1のドーピング処理及び第2のドーピング処理によって、不純物領域455～460にはそれぞれ異なる濃度でリンが添加されているが、そのいずれの領域においてもp型を付与する不純物元素の濃度を $2 \times 10^{20} \sim 2 \times 10^{21}$ atoms/cm³となるようにドーピング処理することにより、pチャネル型TFTのソース領域およびドレイン領域として機能するために何ら問題は生じない。本実施例では、pチャネル型TFTの活性層となる半導体層の一部が露呈しているため、不純物元素(ボロン)を添加しやすい利点を有している。

【0132】以上までの工程でそれぞれの半導体層に不純物領域が形成される。

【0133】次いで、レジストからなるマスク452～454を除去して第1の層間絶縁膜461を形成する。この第1の層間絶縁膜461としては、プラズマCVD法またはスパッタ法を用い、厚さを100～200nmとしてシリコンを含む絶縁膜で形成する。本実施例では、プラズマCVD法により膜厚150nmの酸化窒化シリコン膜を形成した。勿論、第1の層間絶縁膜461は酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。

【0134】次いで、図13(C)に示すように、それぞれの半導体層に添加された不純物元素を活性化処理する工程を行う。この活性化工程はファーネスアニール炉を用いる熱アニール法で行う。熱アニール法としては、酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400～700℃、代表的には500～550℃で行えばよく、本実施例では550℃、4時間の熱処理で活性化処理を行った。なお、熱アニール法の他に、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)を適用することができる。

【0135】なお、本実施例では、上記活性化処理と同時に、結晶化の際に触媒として使用したニッケルが高濃度のリンを含む不純物領域439、441、442、4

28

55、458にゲッタリングされ、主にチャネル形成領域となる半導体層中のニッケル濃度が低減される。このようにして作製したチャネル形成領域を有するTFTはオフ電流値が下がり、結晶性が良いことから高い電界効果移動度が得られ、良好な特性を達成することができる。

【0136】また、第1の層間絶縁膜を形成する前に活性化処理を行っても良い。ただし、用いた配線材料が熱に弱い場合には、本実施例のように配線等を保護するため層間絶縁膜(シリコンを主成分とする絶縁膜、例えば窒化珪素膜)を形成した後で活性化処理を行うことが好ましい。

【0137】さらに、3～100%の水素を含む雰囲気中で、300～550℃で1～12時間の熱処理を行い、半導体層を水素化する工程を行う。本実施例では水素を約3%の含む窒素雰囲気中で410℃、1時間の熱処理を行った。この工程は層間絶縁膜に含まれる水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0138】また、活性化処理としてレーザーアニール法を用いる場合には、上記水素化を行った後、エキシマレーザーやYAGレーザー等のレーザー光を照射することが望ましい。

【0139】次いで、第1の層間絶縁膜461上に無機絶縁膜材料または有機絶縁膜材料から成る第2の層間絶縁膜462を形成する。本実施例では、膜厚1.6μmのアクリル樹脂膜を形成したが、粘度が10～1000cP、好ましくは40～200cPのものをを用い、表面に凸凹が形成されるものをを用いた。

【0140】本実施例では、鏡面反射を防ぐため、表面に凸凹が形成される第2の層間絶縁膜を形成することによって画素電極の表面に凸凹を形成した。また、画素電極の表面に凹凸を持たせて光散乱性を図るため、画素電極の下方の領域に凸部を形成してもよい。その場合、凸部の形成は、TFTの形成と同じフォトリソ法で行うことができるため、工程数の増加なく形成することができる。なお、この凸部は配線及びTFT部以外の画素部領域の基板上に適宜設ければよい。こうして、凸部を覆う絶縁膜の表面に形成された凸凹に沿って画素電極の表面に凸凹が形成される。

【0141】また、第2の層間絶縁膜462として表面が平坦化する膜を用いてもよい。その場合は、画素電極を形成した後、公知のサンドブラスト法やエッチング法等の工程を追加して表面を凹凸化させて、鏡面反射を防ぎ、反射光を散乱させることによって白色度を増加させることが好ましい。

【0142】そして、駆動回路506において、各不純物領域とそれぞれ電気的に接続する配線463～467を形成する。なお、これらの配線は、膜厚50nmのT

(16)

29

i膜と、膜厚500nmの合金膜(A1とTiとの合金膜)との積層膜をパターンニングして形成する。

【0143】また、画素部507においては、画素電極470、ゲート配線469、接続電極468を形成する。(図14)この接続電極468によりソース配線(443bと449の積層)は、画素TFTと電気的な接続が形成される。また、ゲート配線469は、画素TFTのゲート電極と電気的な接続が形成される。また、画素電極470は、画素TFTのドレイン領域442と電気的な接続が形成され、さらに保持容量を形成する一方の電極として機能する半導体層458と電気的な接続が形成される。また、画素電極470としては、AlまたはAgを主成分とする膜、またはそれらの積層膜等の反射性の優れた材料を用いることが望ましい。

【0144】以上の様にして、nチャネル型TFT501とpチャネル型TFT502からなるCMOS回路、及びnチャネル型TFT503を有する駆動回路506と、画素TFT504、保持容量505とを有する画素部507を同一基板上に形成することができる。こうして、アクティブマトリクス基板が完成する。

【0145】駆動回路506のnチャネル型TFT501はチャネル形成領域471、ゲート電極の一部を構成する第1の導電層444と重なる低濃度不純物領域434b(GOLD領域)、ゲート電極の外側に形成される低濃度不純物領域434a(LDD領域)とソース領域またはドレイン領域として機能する高濃度不純物領域439を有している。このnチャネル型TFT501と電極466で接続してCMOS回路を形成するpチャネル型TFT502にはチャネル形成領域472、ゲート電極と重なる不純物領域457、ゲート電極の外側に形成される不純物領域456、ソース領域またはドレイン領域として機能する高濃度不純物領域455を有している。また、nチャネル型TFT503にはチャネル形成領域473、ゲート電極の一部を構成する第1の導電層446と重なる低濃度不純物領域436b(GOLD領域)、ゲート電極の外側に形成される低濃度不純物領域436a(LDD領域)とソース領域またはドレイン領域として機能する高濃度不純物領域441を有している。

【0146】画素部の画素TFT504にはチャネル形成領域474、ゲート電極の一部を構成する第1の導電層447と重なる低濃度不純物領域437b(GOLD領域)、ゲート電極の外側に形成される低濃度不純物領域437a(LDD領域)とソース領域またはドレイン領域として機能する高濃度不純物領域443を有している。また、保持容量505の一方の電極として機能する半導体層458~460には、それぞれp型を付与する不純物元素が添加されている。保持容量505は、絶縁膜451を誘電体として、電極(448と432bの積層)と、半導体層458~460とで形成している。

30

【0147】また、本実施例の画素構造は、ブラックマトリクスを用いることなく、画素電極間の隙間が遮光されるように、画素電極の端部をソース配線と重なるように配置形成する。

【0148】本実施例で作製するアクティブマトリクス基板の画素部の上面図を図15に示す。なお、図12~図14に対応する部分には同じ符号を用いている。図14中の鎖線A-A'は図15中の鎖線A-A'で切断した断面図に対応している。また、図14中の鎖線B-B'は図15中の鎖線B-B'で切断した断面図に対応している。

【0149】また、本実施例で示す工程に従えば、アクティブマトリクス基板の作製に必要なフォトマスクの数を5枚とすることができる。その結果、工程を短縮し、製造コストの低減及び歩留まりの向上に寄与することができる。

【0150】[実施例4]本実施例では、実施例3で作製したアクティブマトリクス基板から、反射型液晶表示装置を作製する工程を以下に説明する。説明には図16を用いる。

【0151】まず、実施例3に従い、図14の状態のアクティブマトリクス基板を得た後、図14のアクティブマトリクス基板上、少なくとも画素電極470上に配向膜471を形成しラビング処理を行う。なお、本実施例では配向膜471を形成する前に、アクリル樹脂膜等の有機樹脂膜をパターンニングすることによって基板間隔を保持するための柱状のスペーサ(図示しない)を所望の位置に形成した。また、柱状のスペーサに代えて、球状のスペーサを基板全面に散布してもよい。

【0152】次いで、対向基板471を用意する。次いで、対向基板471上に着色層472、473、平坦化膜474を形成する。赤色の着色層472と青色の着色層473とを重ねて、遮光部を形成する。また、赤色の着色層と緑色の着色層とを一部重ねて、遮光部を形成してもよい。

【0153】本実施例では、実施例3に示す基板を用いている。従って、実施例3の画素部の上面図を示す図15では、少なくともゲート配線469と画素電極470の間隙と、ゲート配線469と接続電極468の間隙と、接続電極468と画素電極470の間隙を遮光する必要がある。本実施例では、それらの遮光すべき位置に着色層の積層からなる遮光部が重なるように各着色層を配置して、対向基板を貼り合わせた。

【0154】このように、ブラックマスク等の遮光層を形成することなく、各画素間の隙間を着色層の積層からなる遮光部で遮光することによって工程数の低減を可能とした。

【0155】次いで、平坦化膜474上に透明導電膜からなる対向電極475を少なくとも画素部に形成し、対向基板の全面に配向膜476を形成し、ラビング処理を

(17)

31

施した。

【0156】そして、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール材477で貼り合わせる。シール材477にはフィラーが混入されていて、このフィラーと柱状スペーサによって均一な間隔を持って2枚の基板が貼り合わせられる。その後、両基板の間に液晶材料478を注入し、封止剤（図示せず）によって完全に封止する。液晶材料478には公知の液晶材料を用いれば良い。なお、本実施例は反射型であるので実施例1よりも基板間隔は半分程度となる。このようにして図16に示す反射型液晶表示装置が完成する。そして、必要があれば、アクティブマトリクス基板または対向基板を所望の形状に分断する。さらに、対向基板のみに偏光板（図示しない）を貼りつけた。そして、公知の技術を用いてFPCを貼りつけた。

【0157】以上のようにして作製される液晶表示パネルは各種電子機器の表示部として用いることができる。

【0158】[実施例5]本実施例では、本発明を用いてEL（エレクトロルミネセンス）表示装置を作製した例について説明する。なお、図18は本発明のEL表示装置の断面図である。

【0159】図18において、基板700上に設けられたスイッチングTFT603は図14のnチャネル型TFT503を用いて形成される。従って、構造の説明はnチャネル型TFT503の説明を参照すれば良い。

【0160】なお、本実施例ではチャネル形成領域が二つ形成されるダブルゲート構造としているが、チャネル形成領域が一つ形成されるシングルゲート構造もしくは三つ形成されるトリプルゲート構造であっても良い。

【0161】基板700上に設けられた駆動回路（nチャネル型TFT601及びpチャネル型TFT602）は図14のCMOS回路を用いて形成される。従って、構造の説明はnチャネル型TFT501とpチャネル型TFT502の説明を参照すれば良い。なお、本実施例ではシングルゲート構造としているが、ダブルゲート構造もしくはトリプルゲート構造であっても良い。

【0162】また、配線701、703はCMOS回路のソース配線、702はドレイン配線として機能する。また、配線704はソース配線708とスイッチングTFTのソース領域とを電気的に接続する配線として機能し、配線705はドレイン配線709とスイッチングTFTのドレイン領域とを電気的に接続する配線として機能する。

【0163】なお、電流制御TFT604は図14のpチャネル型TFT502を用いて形成される。従って、構造の説明はpチャネル型TFT502の説明を参照すれば良い。なお、本実施例ではシングルゲート構造としているが、ダブルゲート構造もしくはトリプルゲート構造であっても良い。

【0164】また、配線706は電流制御TFTのソー

32

ス配線（電流供給線に相当する）であり、707は電流制御TFTの画素電極710上に重ねることで画素電極710と電気的に接続する電極である。

【0165】なお、710は、透明導電膜からなる画素電極（EL素子の陽極）である。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したものを用いても良い。画素電極710は、上記配線を形成する前に平坦な層間絶縁膜711上に形成する。本実施例においては、樹脂からなる平坦化膜711を用いてTFTによる段差を平坦化することは非常に重要である。後に形成されるEL層は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、EL層をできるだけ平坦面に形成しうるように画素電極を形成する前に平坦化しておくことが望ましい。

【0166】配線701～707を形成後、図18に示すようにバンク712を形成する。バンク712は100～400nmの珪素を含む絶縁膜もしくは有機樹脂膜をパターニングして形成すれば良い。

【0167】なお、バンク712は絶縁膜であるため、成膜時における素子の静電破壊には注意が必要である。本実施例ではバンク712の材料となる絶縁膜中にカーボン粒子や金属粒子を添加して抵抗率を下げ、静電気の発生を抑制する。この際、抵抗率は $1 \times 10^6 \sim 1 \times 10^{12} \Omega \cdot m$ （好ましくは $1 \times 10^8 \sim 1 \times 10^{10} \Omega \cdot m$ ）となるようにカーボン粒子や金属粒子の添加量を調節すれば良い。

【0168】画素電極710の上にはEL層713が形成される。なお、図18では一画素しか図示していないが、本実施例ではR（赤）、G（緑）、B（青）の各色に対応したEL層を作り分けている。また、本実施例では蒸着法により低分子系有機EL材料を形成している。具体的には、正孔注入層として20nm厚の銅フタロシアニン（CuPc）膜を設け、その上に発光層として70nm厚のトリスー8ーキノリノラトアルミニウム錯体（Alq3）膜を設けた積層構造としている。Alq3にキナクリドン、ペリレンもしくはDCM1といった蛍光色素を添加することで発光色を制御することができる。

【0169】但し、以上の例はEL層として用いることのできる有機EL材料の一例であって、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注入層を自由に組み合わせてEL層（発光及びそのためのキャリアの移動を行わせるための層）を形成すれば良い。例えば、本実施例では低分子系有機EL材料をEL層として用いる例を示したが、高分子系有機EL材料を用いても良い。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機EL材料や無機材料は公知の材料を用いることが

(18)

33

できる。

【0170】次に、EL層713の上には導電膜からなる陰極714が設けられる。本実施例の場合、導電膜としてアルミニウムとリチウムとの合金膜を用いる。勿論、公知のMgAg膜（マグネシウムと銀との合金膜）を用いても良い。陰極材料としては、周期表の1族もしくは2族に属する元素からなる導電膜もしくはそれらの元素を添加した導電膜を用いれば良い。

【0171】この陰極714まで形成された時点でEL素子715が完成する。なお、ここでいうEL素子715は、画素電極（陽極）710、EL層713及び陰極714で形成されたコンデンサを指す。

【0172】EL素子715を完全に覆うようにしてパッシベーション膜716を設けることは有効である。パッシベーション膜716としては、炭素膜、窒化珪素膜もしくは窒化酸化珪素膜を含む絶縁膜からなり、該絶縁膜を単層もしくは組み合わせた積層で用いる。

【0173】この際、カバレッジの良い膜をパッシベーション膜として用いることが好ましく、炭素膜、特にDLC（ダイヤモンドライクカーボン）膜を用いることは有効である。DLC膜は室温から100℃以下の温度範囲で成膜可能であるため、耐熱性の低いEL層713の上方にも容易に成膜することができる。また、DLC膜は酸素に対するブロッキング効果が高く、EL層713の酸化を抑制することが可能である。そのため、この後に続く封止工程を行う間にEL層713が酸化するといった問題を防止できる。

【0174】さらに、パッシベーション膜716上に封止材717を設け、カバー材718を貼り合わせる。封止材717としては紫外線硬化樹脂を用いれば良く、内部に吸湿効果を有する物質もしくは酸化防止効果を有する物質を設けることは有効である。また、本実施例においてカバー材718はガラス基板や石英基板やプラスチック基板（プラスチックフィルムも含む）の両面に炭素膜（好ましくはダイヤモンドライクカーボン膜）を形成したものを用いる。

【0175】こうして図18に示すような構造のEL表示装置が完成する。なお、バンク712を形成した後、パッシベーション膜716を形成するまでの工程をマルチチャンバー方式（またはインライン方式）の成膜装置を用いて、大気解放せずに連続的に処理することは有効である。また、さらに発展させてカバー材718を貼り合わせる工程までを大気解放せずに連続的に処理することも可能である。

【0176】こうして、プラスチック基板を母体とする絶縁体700上にnチャネル型TFT601、602、スイッチングTFT（nチャネル型TFT）603および電流制御TFT（nチャネル型TFT）604が形成される。ここまでの製造工程で必要としたマスク数は、一般的なアクティブマトリクス型EL表示装置よりも少

34

ない。

【0177】即ち、TFTの製造工程が大幅に簡略化されており、歩留まりの向上および製造コストの低減が実現できる。

【0178】さらに、図14を用いて説明したように、ゲート電極に絶縁膜を介して重なる不純物領域を設けることによりホットキャリア効果に起因する劣化に強いnチャネル型TFTを形成することができる。そのため、信頼性の高いEL表示装置を実現できる。

【0179】また、本実施例では画素部と駆動回路の構成のみ示しているが、本実施例の製造工程に従えば、その他にも信号分割回路、D/Aコンバータ、オペアンプ、補正回路などの論理回路を同一の絶縁体上に形成可能であり、さらにはメモリやマイクロプロセッサをも形成しうる。

【0180】さらに、EL素子を保護するための封止（または封入）工程まで行った後の本実施例のEL発光装置について図19を用いて説明する。なお、必要に応じて図18で用いた符号を引用する。

【0181】図19（A）は、EL素子の封止までを行った状態を示す上面図、図19（B）は図19（A）をA-A'で切断した断面図である。点線で示された801はソース側駆動回路、806は画素部、807はゲート側駆動回路である。また、901はカバー材、902は第1シール材、903は第2シール材であり、第1シール材902で囲まれた内側には封止材907が設けられる。

【0182】なお、904はソース側駆動回路801及びゲート側駆動回路807に入力される信号を伝送するための配線であり、外部入力端子となるFPC（フレキシブルプリントサーキット）905からビデオ信号やクロック信号を受け取る。なお、ここではFPCしか図示されていないが、このFPCにはプリント配線基盤（PWB）が取り付けられていても良い。本明細書におけるEL表示装置には、EL表示装置本体だけでなく、それにFPCもしくはPWBが取り付けられた状態をも含むものとする。

【0183】次に、断面構造について図19（B）を用いて説明する。基板700の上方には画素部806、ゲート側駆動回路807が形成されており、画素部806は電流制御TFT604とそのドレインに電気的に接続された画素電極710を含む複数の画素により形成される。また、ゲート側駆動回路807はnチャネル型TFT601とpチャネル型TFT602とを組み合わせたCMOS回路（図14参照）を用いて形成される。

【0184】画素電極710はEL素子の陽極として機能する。また、画素電極710の両端にはバンク712が形成され、画素電極710上にはEL層713およびEL素子の陰極714が形成される。

【0185】陰極714は全画素に共通の配線としても

機能し、接続配線904を経由してFPC905に電気的に接続されている。さらに、画素部806及びゲート側駆動回路807に含まれる素子は全て陰極714およびパッシベーション膜716で覆われている。

【0186】また、第1シール材902によりカバー材901が貼り合わされている。なお、カバー材901とEL素子との間隔を確保するために樹脂膜からなるスペーサを設けても良い。そして、第1シール材902の内側には封止材907が充填されている。なお、第1シール材902、封止材907としてはエポキシ系樹脂を用いるのが好ましい。また、第1シール材902はできるだけ水分や酸素を透過しない材料であることが望ましい。さらに、封止材907の内部に吸湿効果をもつ物質や酸化防止効果をもつ物質を含有させても良い。

【0187】EL素子を覆うようにして設けられた封止材907はカバー材901を接着するための接着剤としても機能する。また、本実施例ではカバー材901を構成するプラスチック基板901aの材料としてFRP (Fiberglass-Reinforced Plastics)、PVF (ポリビニルフロライド)、マイラー、ポリエステルまたはアクリルを用いることができる。

【0188】また、封止材907を用いてカバー材901を接着した後、封止材907の側面(露呈面)を覆うように第2シール材903を設ける。第2シール材903は第1シール材902と同じ材料を用いることができる。

【0189】以上のような構造でEL素子を封止材907に封入することにより、EL素子を外部から完全に遮断することができ、外部から水分や酸素等のEL層の酸化による劣化を促す物質が侵入することを防ぐことができる。従って、信頼性の高いEL表示装置が得られる。

【0190】【実施例6】上記各実施例1乃至5のいずれかを実施して形成されたTFTは様々な電気光学装置(アクティブマトリクス型液晶ディスプレイ、アクティブマトリクス型ELディスプレイ、アクティブマトリクス型ECディスプレイ)に用いることができる。即ち、それら電気光学装置を表示部に組み込んだ電子機器全てに本発明を実施できる。

【0191】その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター、ヘッドマウントディスプレイ(ゴーグル型ディスプレイ)、カーナビゲーション、カーステレオ、パーソナルコンピュータ、携帯情報端末(モバイルコンピュータ、携帯電話または電子書籍等)などが挙げられる。それらの一例を図20、図21及び図22に示す。

【0192】図20(A)はパーソナルコンピュータであり、本体2001、画像入力部2002、表示部2003、キーボード2004等を含む。本発明を表示部2003に適用することができる。

【0193】図20(B)はビデオカメラであり、本体

2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106等を含む。本発明を表示部2102に適用することができる。

【0194】図20(C)はモバイルコンピュータ(モバイルコンピュータ)であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示部2205等を含む。本発明は表示部2205に適用できる。

【0195】図20(D)はゴーグル型ディスプレイであり、本体2301、表示部2302、アーム部2303等を含む。本発明は表示部2302に適用することができる。

【0196】図20(E)はプログラムを記録した記録媒体(以下、記録媒体と呼ぶ)を用いるプレーヤーであり、本体2401、表示部2402、スピーカ部2403、記録媒体2404、操作スイッチ2405等を含む。なお、このプレーヤーは記録媒体としてDVD(Digital Versatile Disc)、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示部2402に適用することができる。

【0197】図20(F)はデジタルカメラであり、本体2501、表示部2502、接眼部2503、操作スイッチ2504、受像部(図示しない)等を含む。本発明を表示部2502に適用することができる。

【0198】図21(A)はフロント型プロジェクターであり、投射装置2601、スクリーン2602等を含む。本発明は投射装置2601の一部を構成する液晶表示装置2808やその他の駆動回路に適用することができる。

【0199】図21(B)はリア型プロジェクターであり、本体2701、投射装置2702、ミラー2703、スクリーン2704等を含む。本発明は投射装置2702の一部を構成する液晶表示装置2808やその他の駆動回路に適用することができる。

【0200】なお、図21(C)は、図21(A)及び図21(B)中における投射装置2601、2702の構造の一例を示した図である。投射装置2601、2702は、光源光学系2801、ミラー2802、2804~2806、ダイクロイックミラー2803、プリズム2807、液晶表示装置2808、位相差板2809、投射光学系2810で構成される。投射光学系2810は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図21(C)中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、IRフィルム等の光学系を設けてもよい。

【0201】また、図21(D)は、図21(C)中に

(20)

37

における光源光学系2801の構造の一例を示した図である。本実施例では、光源光学系2801は、リフレクター2811、光源2812、レンズアレイ2813、2814、偏光変換素子2815、集光レンズ2816で構成される。なお、図21(D)に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、IRフィルム等の光学系を設けてもよい。

【0202】ただし、図21に示したプロジェクターにおいては、透過型の電気光学装置を用いた場合を示しており、反射型の電気光学装置及びEL表示装置での適用例は図示していない。

【0203】図22(A)は携帯電話であり、本体2901、音声出力部2902、音声入力部2903、表示部2904、操作スイッチ2905、アンテナ2906等を含む。本発明を表示部2904に適用することができる。

【0204】図22(B)は携帯書籍(電子書籍)であり、本体3001、表示部3002、3003、記憶媒体3004、操作スイッチ3005、アンテナ3006等を含む。本発明は表示部3002、3003に適用することができる。

【0205】図22(C)はディスプレイであり、本体3101、支持台3102、表示部3103等を含む。本発明は表示部3103に適用することができる。本発明のディスプレイは特に大画面化した場合において有利であり、対角10インチ以上(特に30インチ以上)のディスプレイには有利である。

【0206】ちなみに図22(C)に示すディスプレイは中小型または大型のもの、例えば5~20インチの画面サイズのものである。また、このようなサイズの表示部を形成するためには、基板の一边が1mのものをいい、多面取りを行って量産することが好ましい。

【0207】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例1~5のどのような組み合わせからなる構成を用いても実現することができる。

38

【0208】

【発明の効果】本発明における第3のエッチング処理のエッチング条件によりゲート電極に重なる低濃度不純物領域(GOLD領域)の幅と、ゲート電極に重ならない低濃度不純物領域(LDD領域)の幅とを自由に調節できる。また、本発明により形成されたTFTのGOLD領域とLDD領域における濃度差はほとんど生じていない。従って、ゲート電極と重なっているGOLD領域は、電界集中の緩和が達成されてホットキャリアによる防止ができるとともに、ゲート電極と重なっていないLDD領域は、オフ電流値を抑えることができる。

【図面の簡単な説明】

【図1】 TFTの作製工程を示す図である。

【図2】 TFTの作製工程を示す図である。

【図3】 不純物元素の濃度分布を示す曲線である。

【図4】 シミュレーションで用いた構造模式図である。

【図5】 シミュレーション結果(リンドープ)のグラフである。

【図6】 シミュレーション結果(TFTの電圧/電流特性)のグラフである。

【図7】 AM-LCDの作製工程を示す図である。

【図8】 AM-LCDの作製工程を示す図である。

【図9】 AM-LCDの作製工程を示す図である。

【図10】 透過型液晶表示装置の断面構造図である。

【図11】 液晶パネルの外観図である。

【図12】 AM-LCDの作製工程を示す図である。

【図13】 AM-LCDの作製工程を示す図である。

【図14】 AM-LCDの作製工程を示す図である。

【図15】 画素上面図である。

【図16】 反射型液晶表示装置の断面構造図である。

【図17】 作製工程における画素上面図である。

【図18】 アクティブマトリクス型EL表示装置の構成を示す図。

【図19】 アクティブマトリクス型EL表示装置の構成を示す図。

【図20】 電子機器の一例を示す図。

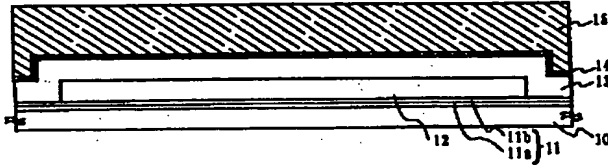
【図21】 電子機器の一例を示す図。

【図22】 電子機器の一例を示す図。

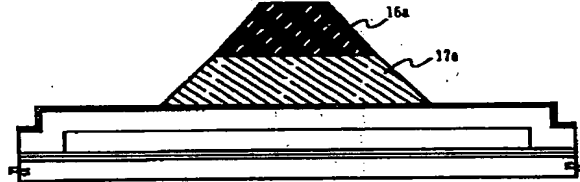
(21)

【図1】

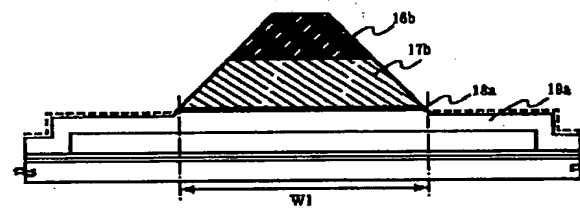
(A) 半導体層の形成/絶縁膜の形成/第1の導電層と第2の導電層の形成



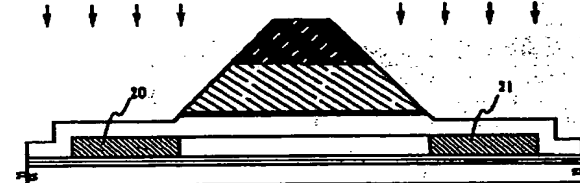
(B) 第1のエッチング工程



(C) 第2のエッチング工程



(D) 第1のドーピング工程 (高温度)

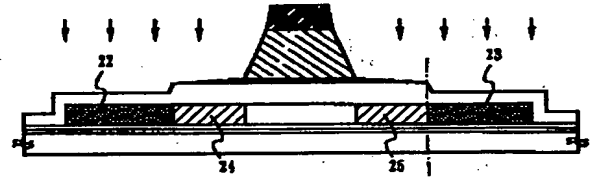


【図2】

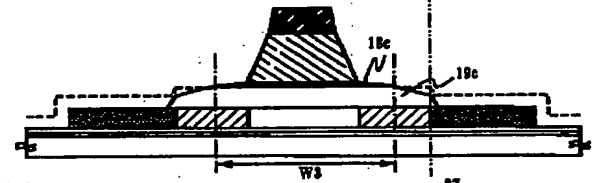
(A) 第3のエッチング工程



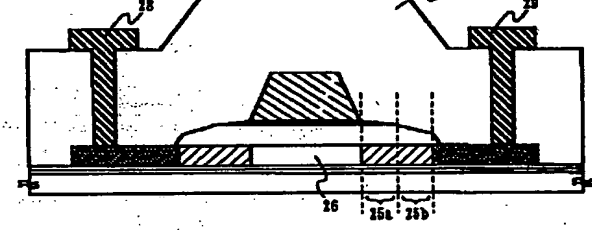
(B) 第2のドーピング工程 (低温度)



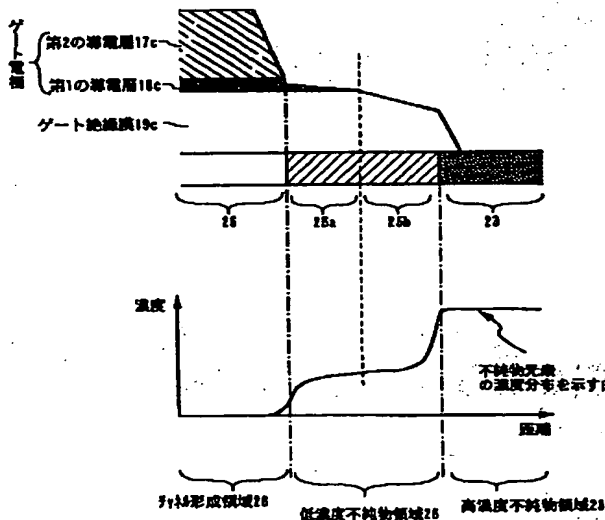
(C) 第4のエッチング工程



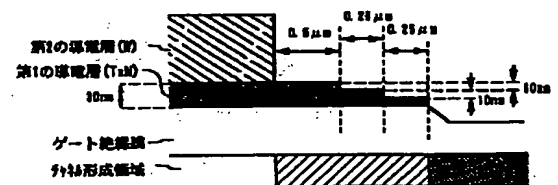
(D)



【図3】



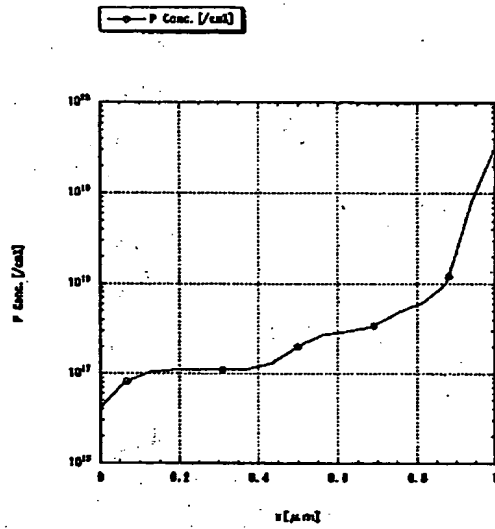
【図4】



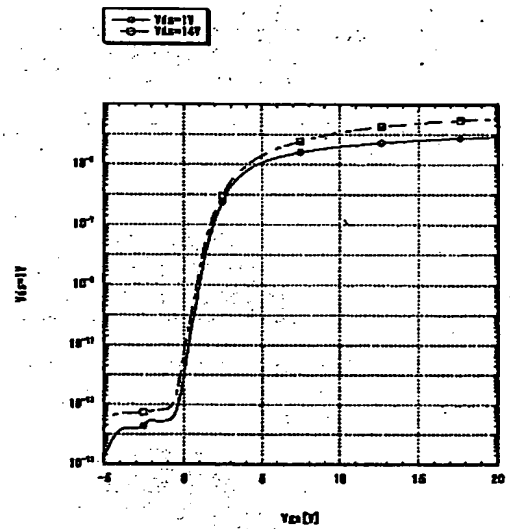
カミコッパで用いた構造模式図

(22)

【図5】

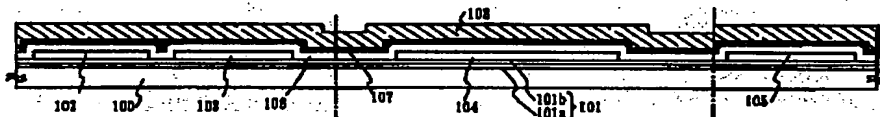


【図6】

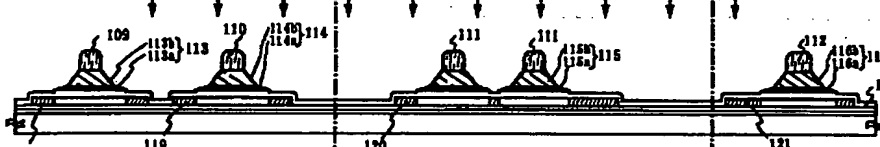


【図7】

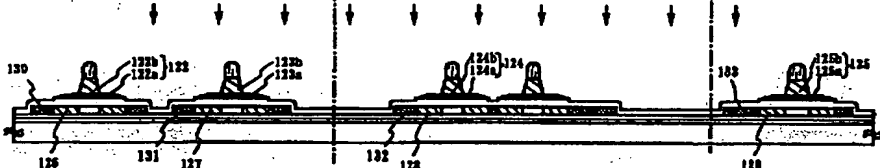
(A) 半導体層の形成/絶縁膜の形成/第1の導電膜と第2の導電膜の形成



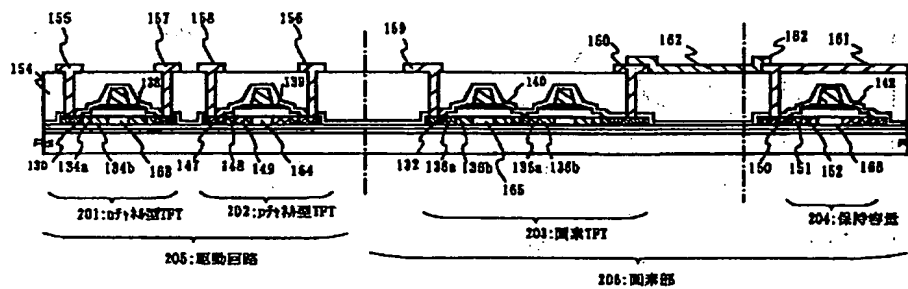
(B) 第1のエッチング処理/第1のドーピング処理



(C) 第2のエッチング処理/第2のドーピング処理

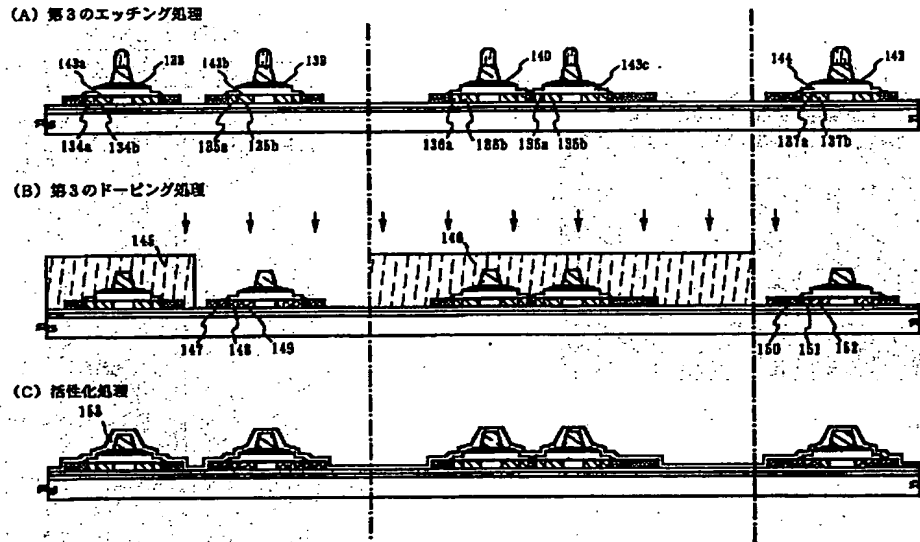


【図9】

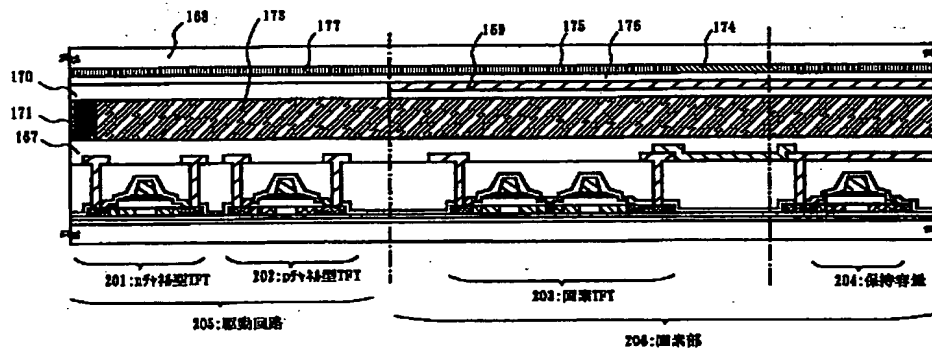


(23)

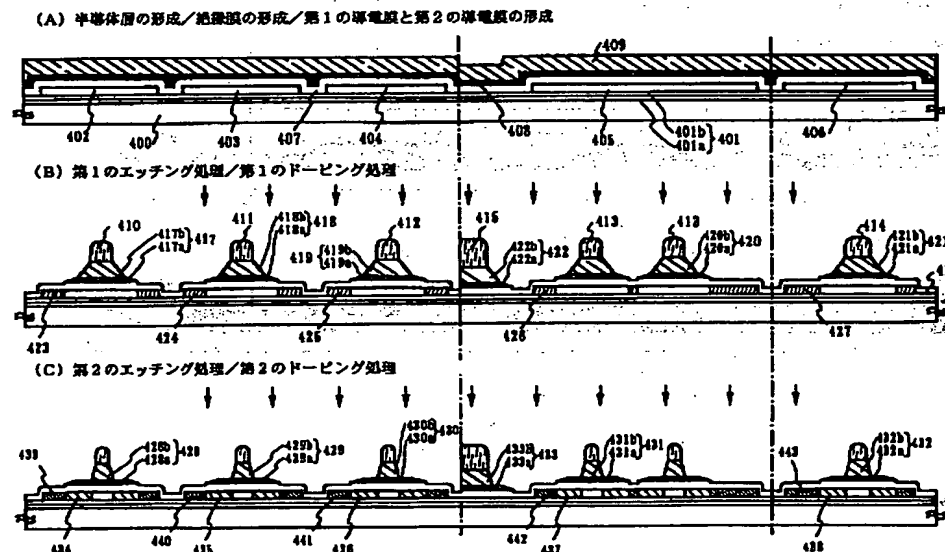
【図8】



【図10】

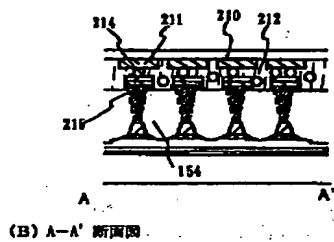
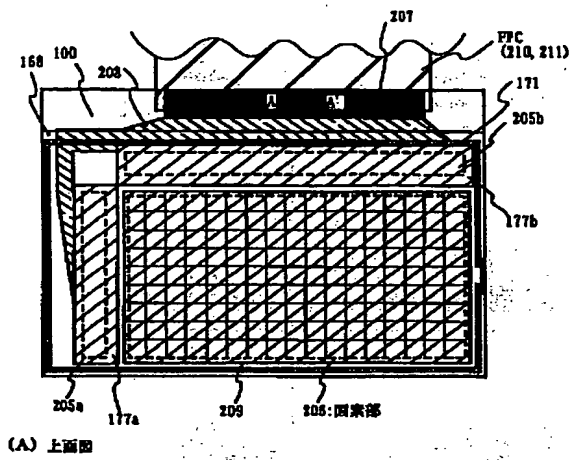


【図12】

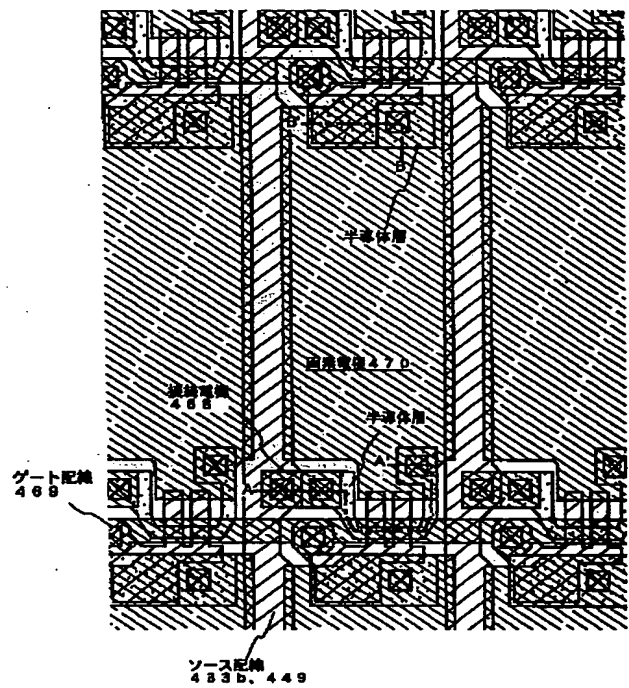


(24)

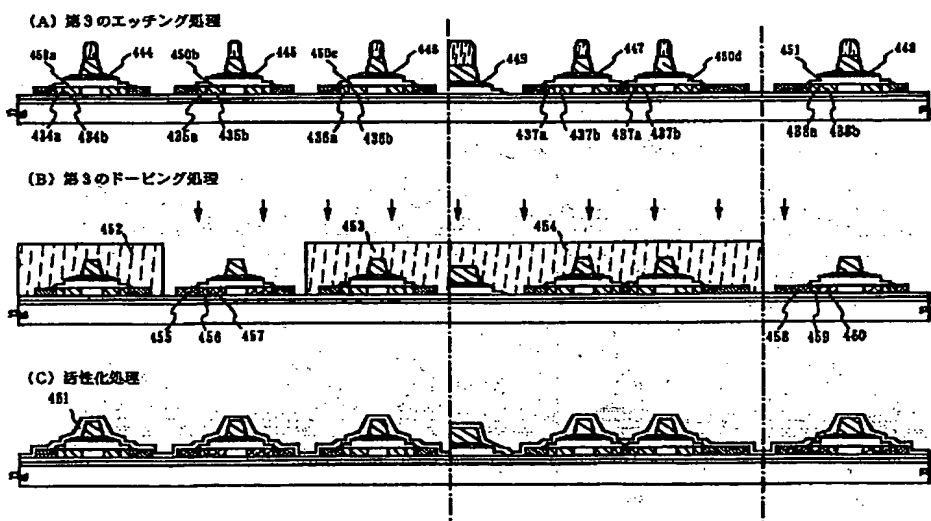
【図11】



【図15】

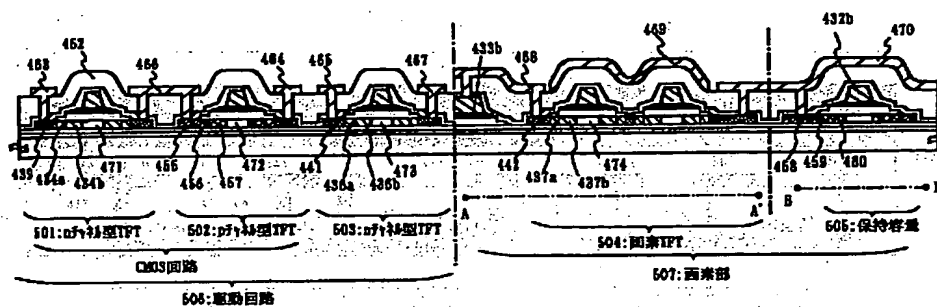


【図13】

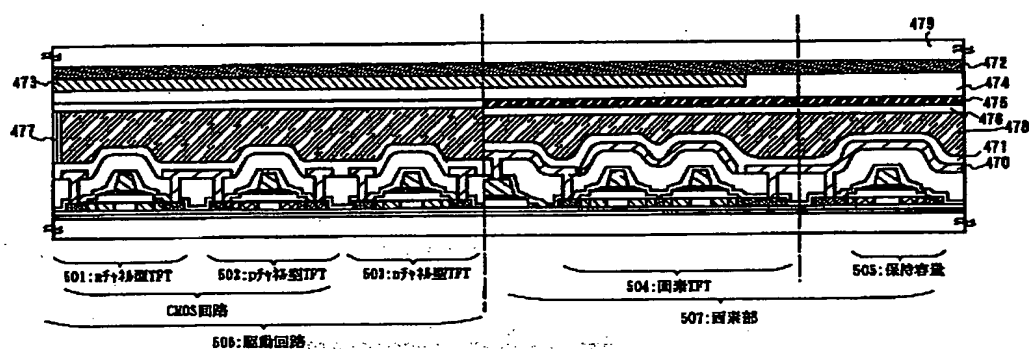


(25)

【図14】



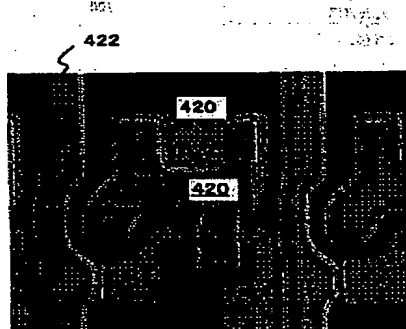
【図16】



【図17】



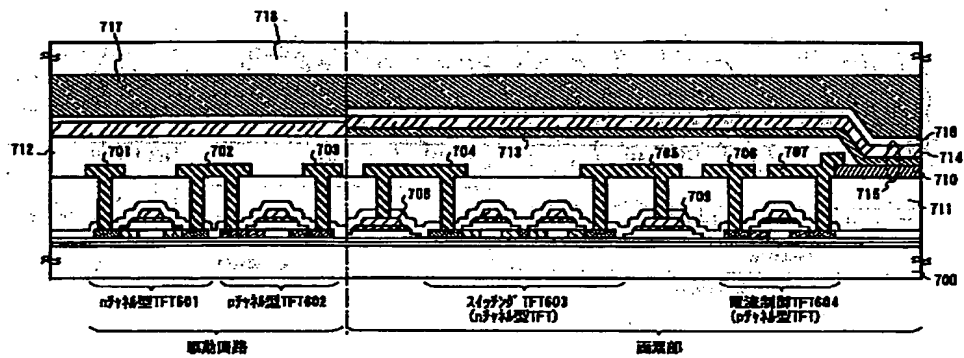
(A) 第1のエッチング条件後の上面図
ICP電力600W、RF電力150W、チャンバー圧力1.0Pa、
 $Cl_2=25\text{scm}$ 、 $CF_4=25\text{scm}$ 、 $O_2=10\text{scm}$



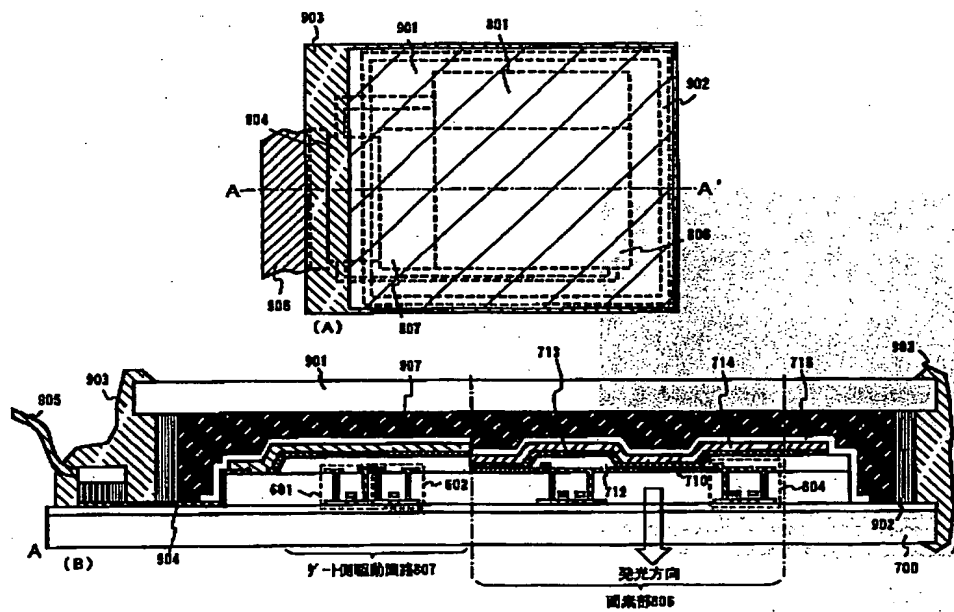
(B)
第2のエッチング条件後の上面図
ICP電力500W、RF電力20W、チャンバー圧力1.0Pa、
 $Cl_2=30\text{scm}$ 、 $CF_4=30\text{scm}$

(26)

【図 18】

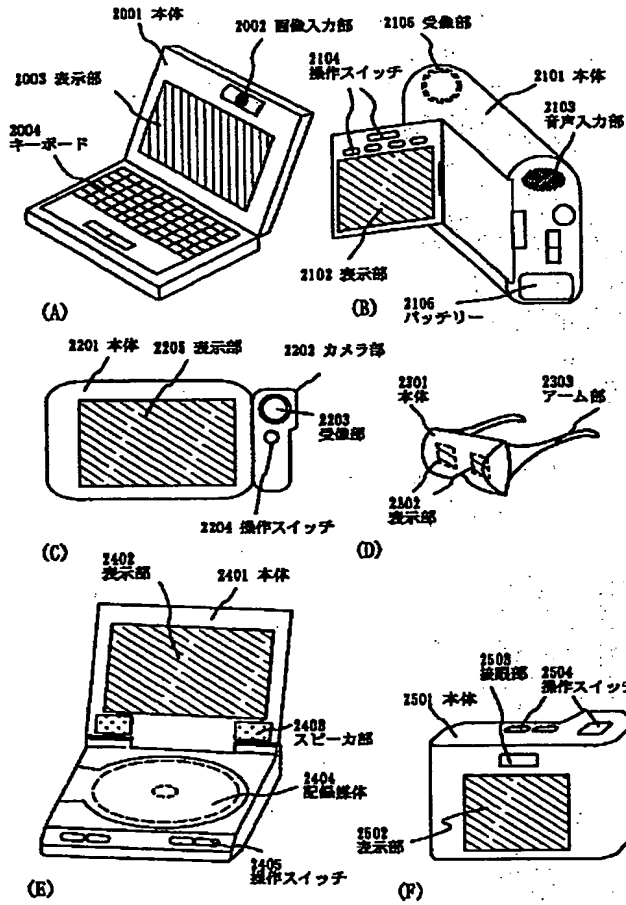


【図 19】

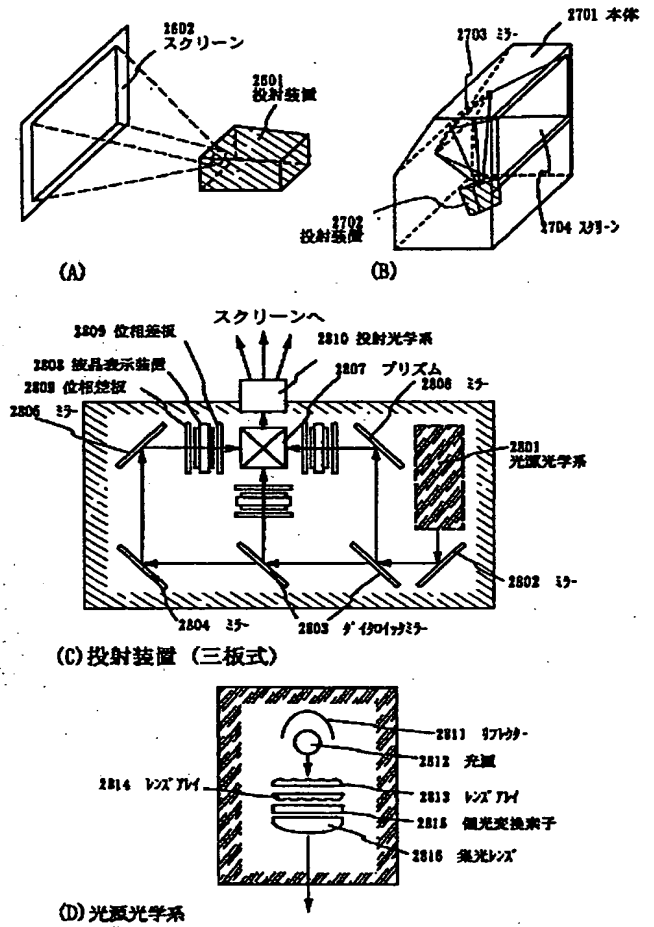


(27)

【図20】

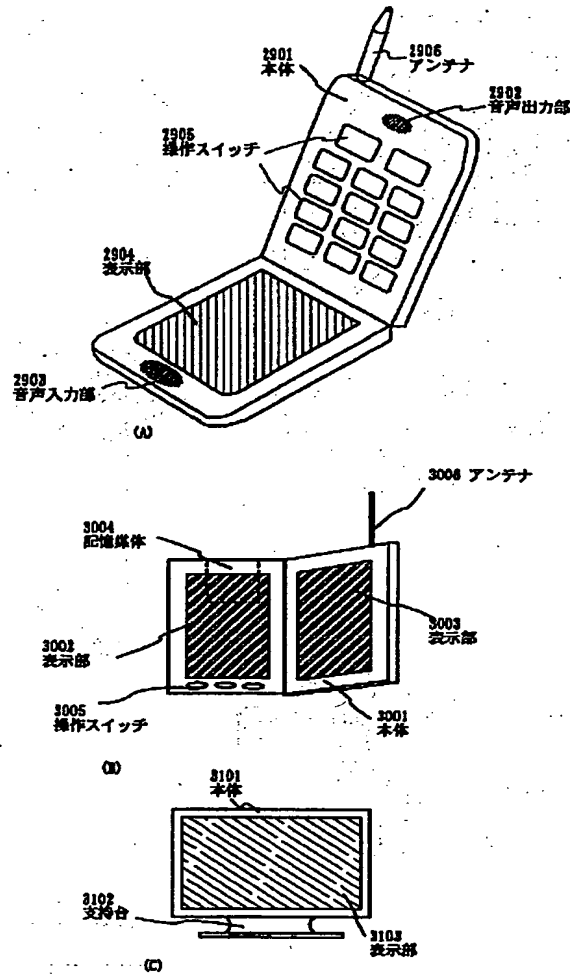


【図21】



(28)

【図22】



フロントページの続き

(51) Int. Cl. 7

G 0 9 F 9/30

識別記号

3 3 8

3 4 8

3 6 5

9/35

H 0 1 L 21/265

6 0 4

21/28

21/3065

21/8234

27/08

3 3 1

27/088

29/786

F I

G 0 9 F 9/30

9/35

H 0 1 L 21/265

21/28

27/08

29/78

27/08

21/302

29/78

テーマコード* (参考)

3 4 8 A 5 F 1 1 0

3 6 5 Z 5 G 4 3 5

6 0 4 M

F

3 3 1 E

6 1 6 A

6 1 7 K

6 1 7 S

1 0 2 C

J

6 1 7 L

(29)

F ターム(参考) 2H092 GA59 JA25 JA28 JA29 JA33
 JA35 JA38 JA42 JA46 JB13
 JB23 JB32 JB38 JB57 JB63
 JB69 KA04 MA05 MA07 MA13
 MA18 MA19 MA20 MA28 MA35
 MA37 MA56 NA22 NA25 NA28
 NA30 PA01 PA08 RA05
 4M104 AA09 BB17 BB30 BB32 CC05
 DD65 FF06 FF13 GG09
 5C094 AA44 BA03 BA27 BA43 CA19
 DA15 EA04 EA07
 5F004 AA09 BA04 BA20 BB13 CA02
 DA00 DA01 DA04 DA05 DA11
 DA16 DA17 DA18 DA26 DB10
 DB12 EA28 EB02
 5F048 AA09 AC04 BA14 BA16 BB01
 BB09 BB13 BC03 BC06 BD01
 BF06
 5F110 AA06 AA14 AA16 BB02 BB04
 BB10 CC02 DD01 DD02 DD03
 DD05 DD13 DD14 DD15 DD17
 EE01 EE02 EE03 EE04 EE06
 EE09 EE11 EE14 EE23 EE28
 EE44 EE45 FF02 FF04 FF09
 FF12 FF28 FF29 FF30 FF36
 GG01 GG02 GG13 GG25 GG32
 GG43 GG45 GG47 HJ01 HJ04
 HJ12 HJ13 HJ18 HJ23 HJ30
 HL02 HL03 HL06 HL07 HM15
 HM18 NN03 NN04 NN22 NN24
 NN27 NN34 NN35 NN72 NN73
 PP01 PP03 PP05 PP06 PP29
 PP34 PP35 QQ04 QQ11 QQ23
 QQ24 QQ25 QQ28
 5G435 AA17 BB05 BB12 CC09 HH14
 KK05 KK09 KK10

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.